

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043441

(43)Date of publication of application : 08.02.2002

(51)Int.Cl. H01L 21/8244
H01L 27/11
H01L 21/3205
H01L 21/8238
H01L 27/092

(21)Application number : 2001-003500 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.01.2001 (72)Inventor : ARAI KOJI
MIYANISHI ATSUSHI

(30)Priority

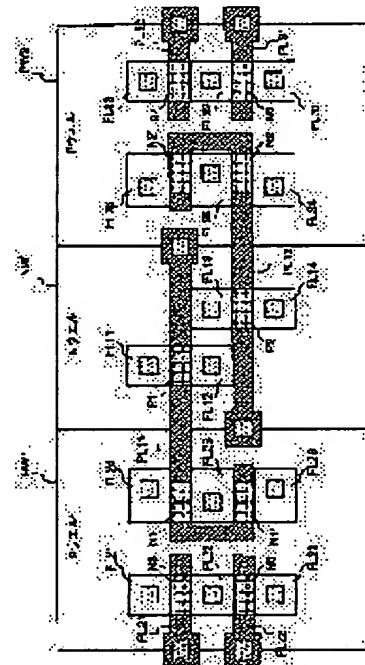
Priority number : 2000143861 Priority date : 16.05.2000 Priority country : JP

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten an access time of a multiport SRAM.

SOLUTION: Regarding a P well region and an N well region where a pair of CMOS inverters consisting of the multiport SRAM cell is formed, the P well region is divided into two P well regions PW1 and PW2 on either side of the N well region NW and is formed so that boarder lines between them become parallel to bit lines. In addition, by forming a pair of access gates N3, N5 and N4, N6 in the two divided P well regions respectively, a bit line length is shortened and a wiring capacitance is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43441

(P2002-43441A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.

識別記号

H01L 21/8244

27/11

21/3205

21/8238

27/092

F I

H01L 27/10

21/88

27/08

テ-71-ト* (参考)

381 5F033

Z 5F048

321A 5F083

321K

321F

審査請求 未請求 請求項の数27 OL (全30頁)

(21) 出願番号 特願2001-3500 (P2001-3500)

(22) 出願日 平成13年1月11日 (2001.1.11)

(31) 優先権主張番号 特願2000-143861 (P2000-143861)

(32) 優先日 平成12年5月16日 (2000.5.16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 新居 浩二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 宮西 篤史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089118

弁理士 酒井 宏明

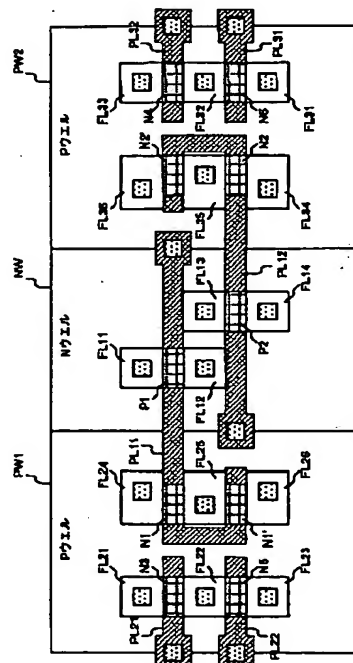
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 マルチポートSRAMのアクセスタイムを高速化すること。

【解決手段】 マルチポートSRAMセルを構成する一対のCMOSインバータが形成されたPウェル領域およびNウェル領域に関し、Pウェル領域を、二つのPウェル領域PW1およびPW2に分割してNウェル領域NWの両側に、かつそれら間の境界線がビット線と平行となるように形成する。また、一対のアクセスゲートN3およびN5とN4およびN6とがそれぞれ分割された2つのPウェル領域に形成されることにより、ビット線長を短くし、配線容量を低減させる。



【特許請求の範囲】

【請求項1】 第1のワード線と、第2のワード線と、第1の正相ビット線と、第1の逆相ビット線と、第2の正相ビット線と、第2の逆相ビット線と、

第1のNチャネル形MOSトランジスタおよび第1のPチャネル形MOSトランジスタを含んでCMOSインバータを構成する第1のCMOSインバータと、

第2のNチャネル形MOSトランジスタおよび第2のPチャネル形MOSトランジスタを含んでCMOSインバータを構成するとともに、当該CMOSインバータの入力端子を第1の記憶ノードとして前記第1のCMOSインバータの出力端子に接続し、当該CMOSインバータの出力端子を第2の記憶ノードとして前記第1のCMOSインバータの入力端子に接続した第2のCMOSインバータと、

ゲートを前記第1のワード線に接続し、ドレインを前記第1の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第3のNチャネル形MOSトランジスタと、

ゲートを前記第1のワード線に接続し、ドレインを前記第1の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第4のNチャネル形MOSトランジスタと、

ゲートを前記第2のワード線に接続し、ドレインを前記第2の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第5のNチャネル形MOSトランジスタと、

ゲートを前記第2のワード線に接続し、ドレインを前記第2の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第6のNチャネル形MOSトランジスタと、

を備え、
前記第1および第2のPチャネル形MOSトランジスタは、Nウェル領域に形成され、前記第1、第3および第5のNチャネル形MOSトランジスタは、第1のPウェル領域に形成され、前記第2、第4および第6のNチャネル形MOSトランジスタは、第2のPウェル領域に形成されたことを特徴とする半導体記憶装置。

【請求項2】 前記第1および第2のPウェル領域は、前記Nウェル領域の両側に形成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記第1の正相ビット線、前記第1の逆相ビット線、前記第2の正相ビット線および前記第2の逆相ビット線のそれぞれの延伸方向と、前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、平行であることを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項4】 前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、前記第1および第2のワード線のそれぞれの延伸方向と直交することを特徴とす

る請求項1または2に記載の半導体記憶装置。

【請求項5】 前記第1のPチャネル形MOSトランジスタと、前記第1、第3および第4のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第1のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、

前記第2のPチャネル形MOSトランジスタと、前記第2、第5および第6のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第2のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】 前記第3および第5のNチャネル形MOSトランジスタは、それぞれのソース拡散領域およびドレイン拡散領域が同一の直線上に位置し、かつ前記第1および第2の正相ビット線の延伸方向に対して平行に配置するように形成され、

前記第4および第6のNチャネル形MOSトランジスタは、それぞれのソース拡散領域およびドレイン拡散領域が同一の直線上に位置し、かつ前記第1および第2の逆相ビット線の延伸方向に対して平行に配置するように形成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 前記第3および第5のNチャネル形MOSトランジスタのドレイン拡散領域は、共通の第1のn+拡散領域で形成され、

前記第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域は、共通の第2のn+拡散領域で形成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項8】 前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と、前記第3および第5のNチャネル形MOSトランジスタのドレイン拡散領域とは、コンタクトホールを介して上層の第1の金属配線により接続され、

前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と、前記第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域とは、コンタクトホールを介して上層の第2の金属配線により接続されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項9】 前記第1および第2の金属配線の延伸方向は、前記第1および第2のワード線の延伸方向に対して平行であることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記第1および第2の正相ビット線と、前記第1および第2の逆相ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向は、前記第1および第2のワード線に対して垂直であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項11】 前記第1、第3および第5のNチャネ

ル形MOSトランジスタのドレイン拡散領域は、共通の第1のn+拡散領域で形成され、

前記第2、第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域は、共通の第2のn+拡散領域で形成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項12】 前記第1のn+拡散領域と、前記第1のPチャネル形MOSトランジスタのドレイン拡散領域とは、コンタクトホールを介して上層の第1の金属配線により接続され、

前記第2のn+拡散領域と、前記第2のPチャネル形MOSトランジスタのドレイン拡散領域とは、コンタクトホールを介して上層の第2の金属配線により接続されたことを特徴とする請求項11に記載の半導体記憶装置。

【請求項13】 第1のワード線と、第2のワード線と、第1の正相ビット線と、第1の逆相ビット線と、第2の正相ビット線と、

第1のNチャネル形MOSトランジスタおよび第1のPチャネル形MOSトランジスタを含んでCMOSインバータを構成する第1のCMOSインバータと、

第2のNチャネル形MOSトランジスタおよび第2のPチャネル形MOSトランジスタを含んでCMOSインバータを構成するとともに、当該CMOSインバータの入力端子を第1の記憶ノードとして前記第1のCMOSインバータの出力端子に接続し、当該CMOSインバータの出力端子を第2の記憶ノードとして前記第1のCMOSインバータの入力端子に接続した第2のCMOSインバータと、

ゲートを前記第1のワード線に接続し、ドレインを前記第1の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第3のNチャネル形MOSトランジスタと、

ゲートを前記第1のワード線に接続し、ドレインを前記第1の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第4のNチャネル形MOSトランジスタと、

ゲートを前記第1の記憶ノードに接続した第5のNチャネル形MOSトランジスタと、

ゲートを前記第2のワード線に接続し、ドレインを前記第2の正相ビット線に接続し、ソースを前記第5のNチャネル形MOSトランジスタのドレインに接続した第6のNチャネル形MOSトランジスタと、

を備え、
前記第1および第2のPチャネル形MOSトランジスタは、Nウェル領域に形成され、前記第1および第3のNチャネル形MOSトランジスタは、第1のPウェル領域に形成され、前記第2、第4、第5および第6のNチャネル形MOSトランジスタは、第2のPウェル領域に形成されたことを特徴とする半導体記憶装置。

【請求項14】 第3のワード線と、第2の逆相ビット

線と、

ゲートを前記第2の記憶ノードに接続した第7のNチャネル形MOSトランジスタと、

ゲートを前記第3のワード線に接続し、ドレインを前記第2の逆相ビット線に接続し、ソースを前記第7のNチャネル形MOSトランジスタのドレインに接続した第8のNチャネル形MOSトランジスタと、

を備え、

前記第7および第8のNチャネル形MOSトランジスタは、前記第1のPウェル領域に形成されたことを特徴とする請求項13に記載の半導体記憶装置。

【請求項15】 前記第2および第3のワード線を共通の一本のワード線としたことを特徴とする請求項14に記載の半導体記憶装置。

【請求項16】 前記第1および第2のPウェル領域は、前記Nウェル領域の両側に形成されたことを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項17】 前記第1の正相ビット線、前記第1の逆相ビット線および前記第2の正相ビット線のそれぞれの延伸方向と、前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、平行であることを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項18】 前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、前記第1および第2のワード線のそれぞれの延伸方向と直交することを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項19】 前記第1のPチャネル形MOSトランジスタと、前記第1、第4および第6のNチャネル形MOSトランジスタは、それぞれのゲート領域が同一の直線上に位置し、かつ前記第1のワード線の延伸方向に対して平行に配置するように形成され、
前記第2のPチャネル形MOSトランジスタと、前記第2、第3および第5のNチャネル形MOSトランジスタは、それぞれのゲート領域が同一の直線上に位置し、かつ前記第2のワード線の延伸方向に対して平行に配置するように形成されたことを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項20】 前記第1および第3のNチャネル形MOSトランジスタは、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前記第1の正相ビット線の延伸方向に対して平行に配置するように形成され、

前記第2および第4のNチャネル形MOSトランジスタは、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前

記第1の逆相ビット線の延伸方向に対して平行に配置するように形成され、

前記第5および第6のNチャネル形MOSトランジスタは、前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前記第2の正相ビット線の延伸方向に対して平行に配置するように形成されたことを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項21】 前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域は、共通の第1のn+拡散領域で形成され、

前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域は、共通の第2のn+拡散領域で形成され、

前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域は、共通の第3のn+拡散領域で形成されたことを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項22】 前記第2のPチャネル形MOSトランジスタと前記第2および第5のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通のポリシリコン配線により接続されたことを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項23】 前記第1および第2の正相ビット線と、前記第1の逆相ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向は、前記第1および第2のワード線に対して垂直であることを特徴とする請求項13、14または15に記載の半導体記憶装置。

【請求項24】 前記第1のPチャネル形MOSトランジスタと、前記第1、第4、第6および第7のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第1のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、

前記第2のPチャネル形MOSトランジスタと、前記第2、第3、第5および第8のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第2のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする請求項14または15に記載の半導体記憶装置。

【請求項25】 前記第1および第3のNチャネル形MOSトランジスタは、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域が前記第1の正相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第2および第4のNチャネル形MOSトランジスタは、前記第2のNチャ

ネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域が前記第1の逆相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、

前記第5および第6のNチャネル形MOSトランジスタは、前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域が前記第2の正相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、

前記第7および第8のNチャネル形MOSトランジスタは、前記第7のNチャネル形MOSトランジスタのドレイン拡散領域と前記第8のNチャネル形MOSトランジスタのソース拡散領域が前記第2の逆相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする請求項14または15に記載の半導体記憶装置。

【請求項26】 前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域は、共通の第1のn+拡散領域で形成され、

前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域は、共通の第2のn+拡散領域で形成され、

前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域は、共通の第3のn+拡散領域で形成され、

前記第7のNチャネル形MOSトランジスタのドレイン拡散領域と前記第8のNチャネル形MOSトランジスタのソース拡散領域は、共通の第4のn+拡散領域で形成されたことを特徴とする請求項14または15に記載の半導体記憶装置。

【請求項27】 前記第2のPチャネル形MOSトランジスタと前記第2および第5のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通の第1のポリシリコン配線により接続され、

前記第1のPチャネル形MOSトランジスタと前記第1および第7のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通の第2のポリシリコン配線により接続されたことを特徴とする請求項14または15に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特にCMOS構成のマルチポートSRAM(Static Random Access Memory)セルのレイアウトに関するものである。

【0002】

【従来の技術】近年、電子機器の軽薄短小化とともに、それら機器の機能を高速に実現する要望が強まっている。このような電子機器において、今やマイクロコンピュータを搭載することは不可欠であり、そのマイクロコンピュータの構成においては、大容量かつ高速なメモリの実装は必須となっている。また、パーソナルコンピュータの急速な普及と高性能化のもと、より高速な処理を実現するために、キャッシュメモリの大容量化が求められている。すなわち、CPUが、制御プログラム等の実行時において使用するRAMについて、高速化と大容量化が求められている。

【0003】このRAMとしては、一般にDRAM(Dynamic RAM)とSRAMが使用されているが、上記したキャッシュメモリのように高速な処理を要する部分には、通常、SRAMが使用されている。SRAMは、そのメモリセルの構造として、4個のトランジスタと2個の高抵抗素子で構成される高抵抗負荷型と、6個のトランジスタで構成されるCMOS型が知られている。特に、CMOS型のSRAMは、データ保持時のリーク電流が非常に小さいために信頼性が高く、現在の主流となっている。

【0004】一般に、メモリセルにおいて、その素子面積を縮小することは、メモリセルアレイの小型化だけでなく、高速化をも実現することを意味する。そこで、従来より、SRAMのより高速な動作を実現するために、メモリセル構造について様々なレイアウトが提案されている。

【0005】例えば、特開平10-178110号公報に開示の「半導体記憶装置」によれば、メモリセルを構成するインバータが形成されたPウェル領域とNウェル領域の境界線をビット線に平行に配置することで、Pウェル領域またはNウェル領域内の拡散領域の形状および二つのインバータの交差接続部の形状を折れ曲り部のない簡易なものとし、結果的にセル面積を縮小することを可能としている。

【0006】図21および図22は、上記した特開平10-178110号の「半導体記憶装置」のレイアウト図である。特に、図21は、半導体基板表面に形成された拡散領域、その上面に形成された多結晶シリコン膜および第1の金属配線層を含む下地を示しており、図22は、その上面に形成された第2および第3の金属配線層を含む上地を示している。

【0007】図21に示すように、このメモリセルには、中央にPチャネル形MOSトランジスタP101およびP102が形成されたNウェル領域が配置され、その両側にNチャネル形MOSトランジスタN101およびN103が形成されたPウェル領域と、Nチャネル形MOSトランジスタN102およびN104が形成されたPウェル領域とが配置されている。

【0008】ここで、Pチャネル形MOSトランジスタ

P101およびP102とNチャネル形MOSトランジスタN101およびN102とが、相互に交差接続されたCMOSインバータ、すなわちフリップフロップ回路を構成し、Nチャネル形MOSトランジスタN103およびN104が、アクセスゲート(トランスフェゲート)に相当する。

【0009】また、図22に示すように、ビット線BLおよびBLは第2の金属配線層としてそれぞれ別々に形成され、それぞれ下層のアクセスゲートMOSトランジスタN103およびN104の半導体端子の一方に接続される。また、電源線Vddは、ビット線BLおよびBLの間の中央部に第2の金属配線層としてビット線に平行に形成され、下層のPチャネル形MOSトランジスタP101およびP102の半導体端子の一方に接続される。さらに、ワード線WLは、ビット線BLおよびBLに直交する方向に第3の金属配線層として形成され、下層のNチャネル形MOSトランジスタN103およびN104のゲートに接続される。また、接地線GNDはワード線WLの両側に平行に二本の第3の金属配線層として形成されている。

【0010】メモリセルをこのようなレイアウトで形成する結果、MOSトランジスタN101およびN103が形成されたPウェル領域内のN型拡散領域と、MOSトランジスタN102およびN104が形成されたN型拡散領域とを、ビット線BLおよびBLに平行に直線状に形成することができ、無駄な領域の発生を防止することができる。

【0011】また、セルの横方向の長さ、すなわちワード線WL方向の長さが、縦方向の長さ、すなわちビット線BLおよびBLの長さに対して相対的に長い場合、ビット線BL及びBLに接続されるセンスアンプのレイアウトが容易になるとともに、1本のワード線に接続されるセルの数が減少し、読み出し時に流れるセル電流、すなわち消費電力を低減することができる。

【0012】上記したSRAMのメモリセルは、いわゆる1ポートSRAMの例であるが、他方、近年ではコンピュータの高速化を実現する手段の一つとしてマルチプロセス技術が導入されており、複数のCPUが一つのメモリ領域を共有することが求められている。すなわち、一つのメモリセルに対して二つのポートからのアクセスを可能とした2ポートSRAMについても、種々のレイアウトが提案されている。

【0013】例えば、特開平07-7089号公報に開示の「記憶セル」によれば、第2のポートを、第1のポートと対称に配置し、かつ同じ層に、第1ポートと同時に形成することで、2ポートSRAMの構成を実現している。図23は、この特開平07-7089号公報に開示の「記憶セル」のレイアウト図である。

【0014】図23において、Pチャネル形MOSトランジスタP201およびP202とNチャネル形MOS

10

20

30

40

50

トランジスタN201'、N202'、N201"およびN202"とが、相互に交差接続されたCMOSインバータ、すなわちフリップフロップ回路を構成し、Nチャネル形MOSトランジスタNA、NB、NA2およびNB2が、アクセスゲート（トランスファゲート）に相当する。

【0015】すなわち、図23において、Nチャネル形MOSトランジスタNAおよびNBがワード線WL1を介した一方のポートからのアクセスを可能とし、Nチャネル形MOSトランジスタNA2およびNB2が、ワード線WL2を介した他方のポートからのアクセスを可能としている。

【0016】

【発明が解決しようとする課題】従来のメモリセルは、そのレイアウト構造がビット線方向に長いために、ビット線の配線容量が大きくて遅延が増大するという問題があり、上記した特開平10-178110号公報に開示の「半導体記憶装置」は、1ポートSRAMに対して、この問題を解決している。

【0017】しかしながら、この「半導体記憶装置」では、一般に二組のアクセスゲートと駆動型MOSトランジスタを備えた2ポートSRAMについては、上記した問題を解決するに至っていない。また、上記した特開平07-7089号公報に開示の「記憶セル」は、2ポートSRAMセルのレイアウトを示すものであるが、第2のポートを、1ポートSRAMセルのレイアウトに大きな変更を生じさせずに容易に追加することのできるレイアウトを提供するものであり、2ポートSRAMセルをビット線方向に縮小することを目的とするものではない。

【0018】この発明は上記問題点を解決するためになされたもので、マルチポートSRAMセルを構成する一対のCMOSインバータが形成されたPウェル領域およびNウェル領域に関し、Pウェル領域を2つに分割してNウェル領域の両側に配置し、その境界がビット線と平行に位置し、かつ、一対のアクセスゲートを分割された2つのPウェル領域にそれぞれ形成することによって、ビット線方向の長さの短いメモリセルの半導体記憶装置を得ることを目的とする。

【0019】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、この発明にかかる半導体記憶装置にあっては、第1のワード線と、第2のワード線と、第1の正相ビット線と、第1の逆相ビット線と、第2の正相ビット線と、第2の逆相ビット線と、第1のNチャネル形MOSトランジスタおよび第1のPチャネル形MOSトランジスタを含んでCMOSインバータを構成する第1のCMOSインバータと、第2のNチャネル形MOSトランジスタおよび第2のPチャネル形MOSトラン

に、当該CMOSインバータの入力端子を第1の記憶ノードとして前記第1のCMOSインバータの出力端子に接続し、当該CMOSインバータの出力端子を第2の記憶ノードとして前記第1のCMOSインバータの入力端子に接続した第2のCMOSインバータと、ゲートを前記第1のワード線に接続し、ドレインを前記第1の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第3のNチャネル形MOSトランジスタと、ゲートを前記第1のワード線に接続し、ドレインを前記第1の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第4のNチャネル形MOSトランジスタと、ゲートを前記第2のワード線に接続し、ドレインを前記第2の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第5のNチャネル形MOSトランジスタと、ゲートを前記第2のワード線に接続し、ドレインを前記第2の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第6のNチャネル形MOSトランジスタと、を備え、前記第1および第2のPチャネル形MOSトランジスタは、Nウェル領域に形成され、前記第1、第3および第5のNチャネル形MOSトランジスタは、第1のPウェル領域に形成され、前記第2、第4および第6のNチャネル形MOSトランジスタは、第2のPウェル領域に形成されたことを特徴とする。

【0020】つぎの発明にかかる半導体記憶装置にあっては、上記発明において、前記第1および第2のPウェル領域が、前記Nウェル領域の両側に形成されたことを特徴とする。

【0021】つぎの発明にかかる半導体記憶装置にあっては、上記発明において、前記第1の正相ビット線、前記第1の逆相ビット線、前記第2の正相ビット線および前記第2の逆相ビット線のそれぞれの延伸方向と、前記第1および第2のPウェル領域と前記Nウェル領域との境界線が、平行であることを特徴とする。

【0022】つぎの発明にかかる半導体記憶装置にあっては、上記発明において、前記第1および第2のPウェル領域と前記Nウェル領域との境界線が、前記第1および第2のワード線のそれぞれの延伸方向と直交することを特徴とする。

【0023】つぎの発明にかかる半導体記憶装置にあっては、上記発明において、前記第1のPチャネル形MOSトランジスタと、前記第1、第3および第4のNチャネル形MOSトランジスタが、それぞれのゲート領域が前記第1のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第2のPチャネル形MOSトランジスタと、前記第2、第5および第6のNチャネル形MOSトランジスタが、それぞれのゲート領域が前記第2のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする。

【0024】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第3および第5のNチャネル形MOSトランジスタは、それぞれのソース拡散領域およびドレイン拡散領域が同一の直線上に位置し、かつ前記第1および第2の正相ビット線の延伸方向に対して平行に配置するように形成され、前記第4および第6のNチャネル形MOSトランジスタは、それぞれのソース拡散領域およびドレイン拡散領域が同一の直線上に位置し、かつ前記第1および第2の逆相ビット線の延伸方向に対して平行に配置するように形成されたことを特徴とする。

【0025】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第3および第5のNチャネル形MOSトランジスタのドレイン拡散領域が、共通の第1のn+拡散領域で形成され、前記第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域が、共通の第2のn+拡散領域で形成されたことを特徴とする。

【0026】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と、前記第3および第5のNチャネル形MOSトランジスタのドレイン拡散領域とが、コンタクトホールを介して上層の第1の金属配線により接続され、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と、前記第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域とが、コンタクトホールを介して上層の第2の金属配線により接続されたことを特徴とする。

【0027】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第2の金属配線の延伸方向が、前記第1および第2のワード線の延伸方向に対して平行であることを特徴とする。

【0028】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第2の正相ビット線と、前記第1および第2の逆相ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向が、前記第1および第2のワード線に対して垂直であることを特徴とする。

【0029】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1、第3および第5のNチャネル形MOSトランジスタのドレイン拡散領域が、共通の第1のn+拡散領域で形成され、前記第2、第4および第6のNチャネル形MOSトランジスタのドレイン拡散領域が、共通の第2のn+拡散領域で形成されたことを特徴とする。

【0030】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のn+拡散領域と、前記第1のPチャネル形MOSトランジスタのドレイン拡散領域とが、コンタクトホールを介して上層の第1の金属配線により接続され、前記第2のn+拡散領域と、

前記第2のPチャネル形MOSトランジスタのドレイン拡散領域とが、コンタクトホールを介して上層の第2の金属配線により接続されたことを特徴とする。

【0031】つぎの発明にかかる半導体記憶装置においては、第1のワード線と、第2のワード線と、第1の正相ビット線と、第1の逆相ビット線と、第2の正相ビット線と、第1のNチャネル形MOSトランジスタおよび第1のPチャネル形MOSトランジスタを含んでCMOSインバータを構成する第1のCMOSインバータと、第2のNチャネル形MOSトランジスタおよび第2のPチャネル形MOSトランジスタを含んでCMOSインバータを構成するとともに、当該CMOSインバータの入力端子を第1の記憶ノードとして前記第1のCMOSインバータの出力端子に接続し、当該CMOSインバータの出力端子を第2の記憶ノードとして前記第1のCMOSインバータの入力端子に接続した第2のCMOSインバータと、ゲートを前記第1のワード線に接続し、ドレインを前記第1の正相ビット線に接続し、ソースを前記第1の記憶ノードに接続した第3のNチャネル形MOSトランジスタと、ゲートを前記第1のワード線に接続し、ドレインを前記第1の逆相ビット線に接続し、ソースを前記第2の記憶ノードに接続した第4のNチャネル形MOSトランジスタと、ゲートを前記第1の記憶ノードに接続した第5のNチャネル形MOSトランジスタと、ゲートを前記第2のワード線に接続し、ドレインを前記第2の正相ビット線に接続し、ソースを前記第5のNチャネル形MOSトランジスタのドレインに接続した第6のNチャネル形MOSトランジスタと、を備え、前記第1および第2のPチャネル形MOSトランジスタは、Nウェル領域に形成され、前記第1および第3のNチャネル形MOSトランジスタは、第1のPウェル領域に形成され、前記第2、第4、第5および第6のNチャネル形MOSトランジスタは、第2のPウェル領域に形成されたことを特徴とする。

【0032】つぎの発明にかかる半導体記憶装置においては、さらに、第3のワード線と、第1の正相ビット線と、第2の逆相ビット線と、ゲートを前記第2の記憶ノードに接続した第7のNチャネル形MOSトランジスタと、ゲートを前記第3のワード線に接続し、ドレインを前記第2の逆相ビット線に接続し、ソースを前記第7のNチャネル形MOSトランジスタのドレインに接続した第8のNチャネル形MOSトランジスタと、を備え、前記第7および第8のNチャネル形MOSトランジスタは、前記第1のPウェル領域に形成されたことを特徴とする。

【0033】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第2および第3のワード線を共通の一本のワード線としたことを特徴とする。

【0034】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第2のPウェ

10

20

30

40

50

ル領域は、前記Nウェル領域の両側に形成されたことを特徴とする。

【0035】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1の正相ビット線、前記第1の逆相ビット線および前記第2の正相ビット線のそれぞれの延伸方向と、前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、平行であることを特徴とする。

【0036】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第2のPウェル領域と前記Nウェル領域との境界線は、前記第1および第2のワード線のそれぞれの延伸方向と直交することを特徴とする。

【0037】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のPチャネル形MOSトランジスタと、前記第1、第4および第6のNチャネル形MOSトランジスタは、それぞれのゲート領域が同一の直線上に位置し、かつ前記第1のワード線の延伸方向に対して平行に配置するように形成され、前記第2のPチャネル形MOSトランジスタと、前記第2、第3および第5のNチャネル形MOSトランジスタは、それぞれのゲート領域が同一の直線上に位置し、かつ前記第2のワード線の延伸方向に対して平行に配置するように形成されたことを特徴とする。

【0038】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第3のNチャネル形MOSトランジスタは、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前記第1の正相ビット線の延伸方向に対して平行に配置するように形成され、前記第2および第4のNチャネル形MOSトランジスタは、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前記第1の逆相ビット線の延伸方向に対して平行に配置するように形成され、前記第5および第6のNチャネル形MOSトランジスタは、前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域が同一の直線上に位置し、かつ前記第2の正相ビット線の延伸方向に対して平行に配置するように形成されたことを特徴とする。

【0039】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域は、共通の第1のn+拡散領域で形成され、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域は、共通の第2のn+拡散領域で形成され、前記第5のNチャ

ネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域は、共通の第3のn+拡散領域で形成されたことを特徴とする。

【0040】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第2のPチャネル形MOSトランジスタと前記第2および第5のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通のポリシリコン配線により接続されたことを特徴とする。

【0041】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第2の正相ビット線と、前記第1の逆相ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向は、前記第1および第2のワード線に対して垂直であることを特徴とする。

【0042】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のPチャネル形MOSトランジスタと、前記第1、第4、第6および第7のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第1のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第2のPチャネル形MOSトランジスタと、前記第2、第3、第5および第8のNチャネル形MOSトランジスタは、それぞれのゲート領域が前記第2のワード線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする。

【0043】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1および第3のNチャネル形MOSトランジスタは、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域が前記第1の正相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第2および第4のNチャネル形MOSトランジスタは、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域が前記第1の逆相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第5および第6のNチャネル形MOSトランジスタは、前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域が前記第2の正相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成され、前記第7および第8のNチャネル形MOSトランジスタは、前記第7のNチャネル形MOSトランジスタのドレイン拡散領域と前記第8のNチャネル形MOSトランジスタのソース拡散領域が前記第2の逆相ビット線の延伸方向に対して平行であってかつ同一の直線上に位置するように形成されたことを特徴とする。

15

【0044】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第1のNチャネル形MOSトランジスタのドレイン拡散領域と前記第3のNチャネル形MOSトランジスタのソース拡散領域は、共通の第1のn+拡散領域で形成され、前記第2のNチャネル形MOSトランジスタのドレイン拡散領域と前記第4のNチャネル形MOSトランジスタのソース拡散領域は、共通の第2のn+拡散領域で形成され、前記第5のNチャネル形MOSトランジスタのドレイン拡散領域と前記第6のNチャネル形MOSトランジスタのソース拡散領域は、共通の第3のn+拡散領域で形成され、前記第7のNチャネル形MOSトランジスタのドレイン拡散領域と前記第8のNチャネル形MOSトランジスタのソース拡散領域は、共通の第4のn+拡散領域で形成されたことを特徴とする。

【0045】つぎの発明にかかる半導体記憶装置においては、上記発明において、前記第2のPチャネル形MOSトランジスタと前記第2および第5のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通の第1のポリシリコン配線により接続され、前記第1のPチャネル形MOSトランジスタと前記第1および第7のNチャネル形MOSトランジスタとは、それぞれのゲート領域を直線状の共通の第2のポリシリコン配線により接続されたことを特徴とする。

【0046】

【発明の実施の形態】以下に、この発明にかかる実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0047】実施の形態1。まず、実施の形態1にかかる半導体記憶装置について説明する。図1は、実施の形態1にかかる半導体記憶装置の等価回路を示す図である。図1において、Pチャネル形MOSトランジスタP1とNチャネル形MOSトランジスタN1(N1')は、第1のCMOSインバータを構成し、また、Pチャネル形MOSトランジスタP2とNチャネル形MOSトランジスタN2(N2')は、第2のCMOSインバータを構成しており、これらCMOSインバータ間において入出力端子が交差接続されている。

【0048】すなわち、これらMOSトランジスタP1、P2、N1、N1'、N2およびN2'によってフリップフロップ回路が構成され、図1中、上記した第1のCMOSインバータの出力点でありかつ第2のCMOSインバータの入力点でもある記憶ノードMAと、第2のCMOSインバータの出力点でありかつ第1のCMOSインバータの入力点でもある記憶ノードMBと、において、論理状態の書き込みおよび読み出しが可能となる。

【0049】また、Nチャネル形MOSトランジスタN3、N4、N5およびN6は、それぞれアクセスゲートとして機能し、Nチャネル形MOSトランジスタN3

16

は、ゲートを第1のワード線WL0に接続し、ソースを上記した記憶ノードMAに接続するとともにドレインを第1の正相ビット線BL00に接続している。また、Nチャネル形MOSトランジスタN5は、ゲートを第2のワード線WL1に接続し、ソースを記憶ノードMAに接続するとともにドレインを第2の正相ビット線BL10に接続している。

【0050】また、Nチャネル形MOSトランジスタN4は、ゲートを第1のワード線WL0に接続し、ソースを上記した記憶ノードMBに接続するとともにドレインを第1の逆相ビット線BL01に接続している。また、Nチャネル形MOSトランジスタN6は、ゲートを第2のワード線WL1に接続し、ソースを記憶ノードMBに接続するとともにドレインを第2の逆相ビット線BL11に接続している。

【0051】すなわち、第1のワード線WL0、第1の正相ビット線BL00および第1の逆相ビット線BL01の選択により、第1のポートによる記憶値の読み出しを可能とし、第2のワード線WL1、第2の正相ビット線BL10および第2の逆相ビット線BL11の選択により、第2のポートによる記憶値の読み出しを可能としている。

【0052】ここで、図1に示した等価回路自体は、従来の2ポートSRAMセルの回路と何ら異なることはないが、実施の形態1にかかる半導体記憶装置では、その構造に特徴がある。図2～5は、実施の形態1にかかる半導体記憶装置のメモリセルのレイアウト図である。また、図6は、図2～5に示したコンタクトホールやビアホール等の各種記号を説明するための説明図である。まず、図2は、半導体基板中に形成されたウエル領域と、そのウエル領域に形成された拡散領域と、それらの上面に形成されたポリシリコン配線層を含むレイヤを示している。

【0053】実施の形態1にかかる半導体記憶装置のメモリセルでは、図2に示すように、半導体基板上の平面方向において、第1のPウエル領域PW1、Nウエル領域NW、第2のPウエル領域PW2がその順に配置されるようにそれぞれ形成されている。すなわち、Nウエル領域NWの両側に、二つのPウエル領域PW1およびPW2が分割されて配置されている。

【0054】特に、これらウエル領域は、第1のPウエル領域PW1とNウエル領域NWとの境界線（以下、第1のウエル境界線と称する）と、第2のPウエル領域PW2とNウエル領域NWとの境界線（以下、第2のウエル境界線と称する）と、が平行となるように形成される。なお、図示していないが、Nウエル領域NWと第1のPウエル領域PW1の間と、Nウエル領域NWと第2のPウエル領域PW2の間には、それぞれ分離領域が存在する。

【0055】そして、第1のPウエル領域PW1には、

17

図1に示したNチャネル形MOSトランジスタN1、N1'、N3およびN5が形成され、Nウェル領域NWには、図1に示したPチャネル形MOSトランジスタP1およびP2が形成され、第2のPウェル領域PW2には、図1に示したNチャネル形MOSトランジスタN2、N2'、N4およびN6が形成される。

【0056】以下に図2～5に示した各レイヤの構造について順に説明する。まず、図2に示すレイヤにおいて、第1のPウェル領域PW1に、上記した第1のウェル境界線に対して垂直な方向に延伸して並置された二つのポリシリコン配線層PL21およびPL22が形成され、同様に、第2のPウェル領域PW2に、上記した第2のウェル境界線に対して垂直な方向に延伸して並置された二つのポリシリコン配線層PL31およびPL32が形成される。

【0057】また、Nウェル領域NWから第1のPウェル領域PW1に亘って、鉤形状のポリシリコン配線層PL11が、第1のウェル境界線に垂直な方向にかつその鉤端部が第1のPウェル領域PW1に位置するように形成される。特に、その鉤端部は、図2に示すように、ポリシリコン配線層PL11の鉤端部を構成する二つの並進軸（主軸と折返し軸）が、それぞれ上記した二つのポリシリコン配線層PL21およびPL22の軸に一致するような形状である。図2においては、ポリシリコン配線層PL11の主軸がポリシリコン配線層PL21に一致している。一方、ポリシリコン配線層PL11の他端部は、上記した第2のウェル境界線上に位置する。

【0058】同様に、Nウェル領域NWから第2のPウェル領域PW2に亘って、鉤形状のポリシリコン配線層PL12が、第2のウェル境界線に垂直な方向にかつその鉤端部が第2のPウェル領域PW2に位置するように形成される。そして、その鉤端部は、図2に示すように、ポリシリコン配線層PL12の鉤端部を構成する二つの並進軸が、それぞれ上記した二つのポリシリコン配線層PL31およびPL32の軸に一致するような形状である。図2においては、ポリシリコン配線層PL12の主軸がポリシリコン配線層PL31に一致している。一方、ポリシリコン配線層PL12の他端部は、上記した第1のウェル境界線上に位置する。

【0059】そして、第1のPウェル領域PW1において、ポリシリコン配線層PL21を挟む位置に、N型不純物の注入によりn+拡散領域FL21およびFL22が形成される。これにより、ポリシリコン配線層PL21をゲート電極としたNチャネル形MOSトランジスタN3が形成される。また、ポリシリコン配線層PL22を挟む位置にn+拡散領域FL22およびFL23が形成される。これにより、ポリシリコン配線層PL22をゲート電極としたNチャネル形MOSトランジスタN5が形成される。

【0060】特に、これらNチャネル形MOSトランジ

18

スタN3およびN5は、ポリシリコン配線層PL21およびPL22が並置していることから、n+拡散領域FL21～23を、第1のウェル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL22を、Nチャネル形MOSトランジスタN3およびN5において共有することが可能となっている。このn+拡散領域FL22の共有は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN3とN5のソース同士の接続を果たすとともに、Nチャネル形MOSトランジスタN3およびN5の占有面積の縮小化に寄与している。

【0061】また、第1のPウェル領域PW1には、ポリシリコン配線層PL11の鉤端部の主軸を挟む位置に、N型不純物の注入によりn+拡散領域FL24およびFL25が形成される。これにより、ポリシリコン配線層PL11の主軸をゲート電極としたNチャネル形MOSトランジスタN1が形成される。また、ポリシリコン配線層PL11の鉤端部の折返し軸を挟む位置にn+拡散領域FL25およびFL26が形成されることで、ポリシリコン配線層PL11の折返し軸をゲート電極としたNチャネル形MOSトランジスタN1'が形成される。すなわち、ポリシリコン配線層PL11の鉤端部は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN1とN1'のゲート同士の接続を果たしている。

【0062】これらNチャネル形MOSトランジスタN1およびN1'についても、上記したNチャネル形MOSトランジスタN3およびN5と同様に、ポリシリコン配線層PL11の鉤端部の主軸と折返し軸とが並置していることから、n+拡散領域FL24～26を、第1のウェル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL25を、Nチャネル形MOSトランジスタN1およびN1'において共有することが可能となっている。このn+拡散領域FL25の共有は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN1とN1'のドレイン同士の接続を果たすとともに、Nチャネル形MOSトランジスタN1およびN1'の占有面積の縮小化に寄与している。

【0063】さらに、図示するように、ポリシリコン配線層PL21とポリシリコン配線層PL11の主軸とは同一直線上に位置し、ポリシリコン配線層PL22とポリシリコン配線層PL11の折返し軸も同一直線上に位置しているため、Nチャネル形MOSトランジスタN1およびN1'と、Nチャネル形MOSトランジスタN3およびN5との配置間隔を小さくすることができ、第1のPウェル領域PW1において、これら四つのNチャネル形MOSトランジスタの占有面積の縮小化が実現されている。

【0064】一方、第2のPウェル領域PW2において

も、同様に、ポリシリコン配線層PL31を挟む位置に、N型不純物の注入によりn+拡散領域FL31およびFL32が形成されることで、ポリシリコン配線層PL31をゲート電極としたNチャネル形MOSトランジスタN6が形成される。また、ポリシリコン配線層PL32を挟む位置にn+拡散領域FL32およびFL33が形成されることで、ポリシリコン配線層PL32をゲート電極としたNチャネル形MOSトランジスタN4が形成される。

【0065】これらNチャネル形MOSトランジスタN4およびN6もまた、ポリシリコン配線層PL31およびPL32が並置していることから、n+拡散領域FL31～33を、第2のウェル境界線に平行な方向にかつ同一直線上に配置することができ、これによりn+拡散領域FL32を、Nチャネル形MOSトランジスタN4およびN6において共有することが可能となっている。このn+拡散領域FL32の共有は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN4とN6のソース同士の接続を果たすとともに、Nチャネル形MOSトランジスタN4およびN6の占有面積の縮小化に寄与している。

【0066】また、第2のPウェル領域PW2には、ポリシリコン配線層PL12の鉤端部の主軸を挟む位置に、N型不純物の注入によりn+拡散領域FL34およびFL35が形成される。これにより、ポリシリコン配線層PL12の主軸をゲート電極としたNチャネル形MOSトランジスタN2が形成される。また、ポリシリコン配線層PL12の鉤端部の折返し軸を挟む位置にn+拡散領域FL35およびFL36が形成されることで、ポリシリコン配線層PL12の折返し軸をゲート電極としたNチャネル形MOSトランジスタN2'が形成される。すなわち、ポリシリコン配線層PL12の鉤端部は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN2とN2'のゲート同士の接続を果たしている。

【0067】これらNチャネル形MOSトランジスタN2およびN2'についても、上記したNチャネル形MOSトランジスタN4およびN6と同様に、ポリシリコン配線層PL12の鉤端部の主軸と折返し軸とが並置していることから、n+拡散領域FL34～36を、第2のウェル境界線に平行な方向にかつ同一直線上に配置することができ、これによりn+拡散領域FL35を、Nチャネル形MOSトランジスタN2およびN2'において共有することが可能となっている。このn+拡散領域FL35の共有は、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN2とN2'のドレイン同士の接続を果たすとともに、Nチャネル形MOSトランジスタN2およびN2'の占有面積の縮小化に寄与している。

【0068】さらに、図示するように、ポリシリコン配

線層PL31と、ポリシリコン配線層PL12の主軸とは同一直線上に位置し、ポリシリコン配線層PL32と、ポリシリコン配線層PL12の折返し軸も同一直線上に位置しているため、Nチャネル形MOSトランジスタN2およびN2'と、Nチャネル形MOSトランジスタN4およびN6との配置間隔を小さくすることができ、第2のPウェル領域PW2において、これら四つのNチャネル形MOSトランジスタの占有面積の縮小化が実現されている。

【0069】そして、Nウェル領域NWにおいては、ポリシリコン配線層PL11の主軸を挟む位置に、P型不純物の注入によりp+拡散領域FL11およびFL12が形成される。これにより、ポリシリコン配線層PL11をゲート電極としたPチャネル形MOSトランジスタP1が形成される。また、ポリシリコン配線層PL12の主軸を挟む位置にp+拡散領域FL13およびFL14が形成されることで、ポリシリコン配線層PL12をゲート電極としたPチャネル形MOSトランジスタP2が形成される。

【0070】これらPチャネル形MOSトランジスタP1およびP2の配置位置は、ポリシリコン配線層PL11およびPL12の位置にしたがって定まるが、このポリシリコン配線層PL11およびPL12の位置間隔は、図2に示すように、p+拡散領域FL12およびFL13の大きさ程度（トランジスタの最小ピッチ）まで狭めることができる。特に、これらp+拡散領域FL12およびFL13の大きさを、第1のPウェル領域PW1のn+拡散領域FL22およびFL25と第2のPウェル領域PW2のn+拡散領域FL32およびFL35と同程度にすることで、このメモリのレイアウトに必要な全占有面積を最小にすることができる。

【0071】これは、同時に、ポリシリコン配線層PL21、PL11の主軸、PL12の折返し軸およびPL32を同一直線上に配置し、かつポリシリコン配線層PL22、PL12の主軸、PL11の折返し軸およびPL31を同一直線上に配置することができることを意味している。

【0072】なお、図2に示すように、ポリシリコン配線層PL11、PL12、PL21、PL22、PL31およびPL32と、p+拡散領域FL11～14と、n+拡散領域FL21～26およびFL31～36と、にはそれぞれ一つずつ、上層との電気的接続を果たすためのコンタクトホールが設けられている。

【0073】つぎに、図2に示したレイヤの上層に位置するレイヤについて説明する。図3は、図2に示したレイヤ上に形成される第1の金属配線層を含むレイヤを示している。図3に示すレイヤには、下層のn+拡散領域FL22およびFL25と、p+拡散領域FL12と、ポリシリコン配線層PL12と、を電気的に接続するための第1の金属配線層AL11が形成される。この第1

の金属配線層AL11により、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN3およびN5のソースと、Nチャネル形MOSトランジスタN1およびN1'のドレインと、第1のCMOSインバータの出力端子と、第2のCMOSインバータの入力端子と、の接続が果たされる。

【0074】また、下層のn+拡散領域FL32およびFL35と、p+拡散領域FL13と、ポリシリコン配線層PL11と、を電氣的に接続するための第1の金属配線層AL12が形成される。この第2の金属配線層AL12により、図1の等価回路にしたがって、Nチャネル形MOSトランジスタN4およびN6のソースと、Nチャネル形MOSトランジスタN2およびN2'のドレインと、第2のCMOSインバータの出力端子と、第1のCMOSインバータの入力端子と、の接続が果たされる。

【0075】特に、第1の金属配線層AL11において、n+拡散領域FL32およびFL35と、p+拡散領域FL13との接続部分は、上述したように同一直線上に配置されているために、それら3点を接続する配線の形状を直線状にすることができる。また、第1の金属配線層AL12についても同様である。

【0076】さらに、図3に示すレイヤには、下層のp+拡散領域FL11の接続点を移動させるための第1の金属配線層AL15と、p+拡散領域FL14の接続点を移動させるための第1の金属配線層AL16と、が形成され、下層のn+拡散領域FL23の接続点を移動させるための第1の金属配線層AL17と、n+拡散領域FL33の接続点を移動させるための第1の金属配線層AL18と、が形成される。

【0077】つぎに、図3に示したレイヤの上層に位置するレイヤについて説明する。図4は、図3に示したレイヤ上に形成される第2の金属配線層を含むレイヤを示している。図4に示すレイヤには、図3に示した第1の金属配線層AL15を経由してp+拡散領域FL11に電源電位VDDを与え、かつ第1の金属配線層AL16を経由してp+拡散領域FL14に電源電位VDDを与えるための第2の金属配線層AL21が形成される。すなわち、この第2の金属配線層AL21は、電源電位VDDラインとして機能し、図1の等価回路において、Pチャネル形MOSトランジスタP1のソースと電源との接続と、Pチャネル形MOSトランジスタP2のソースと電源との接続とを果たすものである。

【0078】また、図3に示したコンタクトホール+第1ビアホールを経由して、p+拡散領域FL24およびFL26と、p+拡散領域FL34およびFL36とにそれぞれ接地電位GNDを与えるための第2の金属配線層AL22およびAL23が形成される。すなわち、これら第2の金属配線層AL22およびAL23は、接地電位GNDラインとして機能し、図1の等価回路におい

て、Nチャネル形MOSトランジスタN1、N1'、N2およびN2'の各ソースの接地を果たすものである。

【0079】特に、図2に示したように、n+拡散領域FL24およびFL26は、第1のウエル境界線と平行する直線上に配置されるため、それらn+拡散領域上の各コンタクトホールもまた、両コンタクトホールを結ぶ直線が第1のウエル境界線に平行するような位置に形成することができる。すなわち、図4に示す第2の金属配線層AL22を、第1のウエル境界線に平行する直線形状として形成することが可能になる。第2の金属配線層AL23についても同様である。

【0080】さらに、図4に示すレイヤには、図3に示したコンタクトホール+第1ビアホールを介して、下層のp+拡散領域FL21に接続されて第1の正相ビット線BL00として機能する第2の金属配線層AL24と、p+拡散領域FL26に接続されて第2の正相ビット線BL10として機能する第2の金属配線層AL25と、p+拡散領域FL36に接続されて第1の逆相ビット線BL01として機能する第2の金属配線層AL26と、p+拡散領域FL31に接続されて第2の逆相ビット線BL11として機能する第2の金属配線層AL27と、が形成される。

【0081】すなわち、これら第2の金属配線層AL24~AL27は、図1の等価回路において、Nチャネル形MOSトランジスタN3の半導体端子の他方（ドレイン）と第1の正相ビット線BL00との接続と、Nチャネル形MOSトランジスタN5の半導体端子の他方（ドレイン）と第2の正相ビット線BL10との接続と、Nチャネル形MOSトランジスタN4の半導体端子の他方（ドレイン）と第1の逆相ビット線BL01との接続と、Nチャネル形MOSトランジスタN6の半導体端子の他方（ドレイン）と第2の逆相ビット線BL11との接続と、を果たすものである。

【0082】特に、これら第2の金属配線層AL24~27は、第1のウエル境界線と平行な方向に延伸する直線形状として形成することができる。これは、一つのメモリセル内において、第1の正相ビット線BL00、第2の正相ビット線BL10、第1の逆相ビット線BL01および第2の逆相ビット線BL11の各長さをより短くしたことを意味する。

【0083】つぎに、図4に示したレイヤの上層に位置するレイヤについて説明する。図5は、図4に示したレイヤ上に形成される第3の金属配線層を含むレイヤを示している。図5に示すレイヤには、第1ビアホールおよび第2ビアホールを経由して、ポリシリコン配線層PL21とPL32とを電氣的に接続するとともに第1のワード線WL0として機能する第3の金属配線層AL31が形成される。すなわち、この第3の金属配線層AL31は、図1の等価回路において、Nチャネル形MOSトランジスタN3およびN4のゲートと第1のワード線W

L0との接続を果たすものである。

【0084】また、第1ビアホールおよび第2ビアホールを経由して、ポリシリコン配線層PL22とPL31とを電気的に接続するとともに第2のワード線WL1として機能する第3の金属配線層AL32が形成される。すなわち、この第3の金属配線層AL32は、図1の等価回路において、Nチャネル形MOSトランジスタN5およびN6のゲートと第2のワード線WL1との接続を果たすものである。

【0085】特に、図2に示したように、ポリシリコン配線層PL21およびPL32は、第1のウェル境界線に対して垂直な方向に延伸する同一直線上に配置されるため、それらポリシリコン配線層上の各コンタクトホール等もまた、両コンタクトホール等を結ぶ直線が第1のウェル境界線に対して垂直となるような位置に形成することができる。すなわち、図5に示す第3の金属配線層AL31を、第1のウェル境界線に垂直方向に延伸する直線形状として形成することが可能になる。第3の金属配線層AL32についても同様である。これは、一つのメモリセル内において、第1のワード線WL0および第2のワード線WL1の各長さをより短くしたことを意味する。

【0086】以上に説明したとおり、実施の形態1にかかる半導体記憶装置によれば、アクセスゲートとして機能するNチャネル形MOSトランジスタN3およびN5（N4およびN6）が、互いの半導体端子同士の接続点においてn+拡散領域FL22（FL32）を共有するとともに、各半導体端子となるn+拡散領域FL21～23（FL31～33）が第1のウェル境界線に平行な方向に一直線上に配置されるように形成されるので、Nチャネル形MOSトランジスタN3およびN5（N4およびN6）の占有面積を小さくすることができる。これにより、メモリセルアレイの集積度を高めることが可能になる。

【0087】また、第1の正相ビット線BL00、第2の正相ビット線BL10、第1の逆相ビット線BL01および第2の逆相ビット線BL11として順に機能する第2の金属配線層AL24～27が、第1のPウェル領域PW1および第2のPウェル領域PW2とNウェル領域NWとの境界線に平行に並置するように形成されることで、これらビット線の長さをより短くすることができるため、ビット線の配線容量を低減することができ、これにより高速なアクセスが可能となる。

【0088】また、第1のワード線WL0および第2のワード線WL1として順に機能する第3の金属配線層AL31およびAL32が、第1のPウェル領域PW1および第2のPウェル領域PW2とNウェル領域NWとの境界線に直交するように形成されることで、これらワード線の長さをより短くすることができるため、ワード線の配線容量をも低減することができ、これにより高速な

アクセスが可能となる。

【0089】また、Nチャネル形MOSトランジスタN1およびN2（N1'およびN2'）は、二つのPウェル領域に分割されるため、各トランジスタの幅を大きくすることができ、これによりビット線の引き抜きが早くなり、より高速なアクセスが可能となる。

【0090】また、駆動トランジスタとして機能するドライバトランジスタN1とN1'（またはN2とN2'）を並列に形成することで、トランジスタの幅Wを大きくとることができ、これによりビット線の引き抜きスピードが速くなり、結果的に読み出しアクセスの高速化を図ることが可能になる。

【0091】また、上記した分割により、アクセスゲートとして機能するNチャネル形MOSトランジスタN3およびN5と、駆動トランジスタとして機能するNチャネル形MOSトランジスタN1およびN1'とのトランジスタ比を大きくとることができるため、セルの安定性を向上させることができる。Nチャネル形MOSトランジスタN4およびN6と、Nチャネル形MOSトランジスタN2およびN2'についても同様である。

【0092】また、記憶ノードMAおよびMBを形成するドレイン領域を共通のn+拡散領域としているので、その面積を小さくすることができ、寄生容量が低減されて結果的に書き込み時のアクセスの高速化を図ることができる。

【0093】さらに、ポリシリコン配線層を一直線に形成することができるので、半導体製造工程において、レイアウトパターン形成時のマスクずれ等によるプロセスマージンを大きくとることができる。

【0094】実施の形態2. つぎに、実施の形態2にかかる半導体記憶装置について説明する。図7は、実施の形態2にかかる半導体記憶装置のメモリセルのレイアウト図であり、上記した図2に対応する。

【0095】図7に示すように、実施の形態2にかかる半導体記憶装置は、Pウェル領域PW1において、Nチャネル形MOSトランジスタN3およびN5の各ドレイン拡散領域と、Nチャネル形MOSトランジスタN1およびN1'の各ドレイン拡散領域と、を共通のn+拡散領域FL41により形成し、Pウェル領域PW2において、Nチャネル形MOSトランジスタN4およびN6の各ドレイン拡散領域と、Nチャネル形MOSトランジスタN2およびN2'の各ドレイン拡散領域と、を共通のn+拡散領域FL42により形成したことを特徴としている。

【0096】また、これに伴い、図2に示したポリシリコン配線層PL11およびPL12に代えて、図7に示すような形状のポリシリコン配線層PL51およびPL52が形成されている。他の上層の金属配線等のレイアウトは、図3～5に示したものと同様であるのでここではそれらの説明を省略する。

【0097】以上に説明したとおり、実施の形態2にかかる半導体記憶装置によれば、上記したような共有のn+拡散領域の形成によっても、実施の形態1による効果を享受することができる。

【0098】なお、以上に説明した実施の形態1および2において、Nチャネル形MOSトランジスタN1'およびN2'は省略することもできる。

【0099】実施の形態3. つぎに、実施の形態3にかかる半導体記憶装置について説明する。実施の形態3は、2ポートSRAMセルを構成する他の等価回路につ

いてのレイアウト構成について説明するものである。図8は、実施の形態3にかかる半導体記憶装置の等価回路を示す図である。図8において、Pチャネル形MOSトランジスタP1とNチャネル形MOSトランジスタN1は、第1のCMOSインバータを構成し、Pチャネル形MOSトランジスタP2とNチャネル形MOSトランジスタN2は、第2のCMOSインバータを構成しており、これらCMOSインバータ間において入出力端子が交差接続されている。

【0100】すなわち、これらMOSトランジスタP1、P2、N1およびN2によってフリップフロップ回路が構成され、図8中、上記した第1のCMOSインバータの出力点でありかつ第2のCMOSインバータの入力点でもある記憶ノードFMAと、第2のCMOSインバータの出力点でありかつ第1のCMOSインバータの入力点でもある記憶ノードFMBと、において、論理状態の書き込みおよび読み出しが可能となる。

【0101】また、Nチャネル形MOSトランジスタN3およびN4は、それぞれアクセスゲートとして機能し、Nチャネル形MOSトランジスタN3は、ゲートを第1のワード線WWLに接続し、ソースを上記した記憶ノードFMAに接続するとともにドレインを第1の正相ビット線WBL1に接続している。また、Nチャネル形MOSトランジスタN4は、ゲートを上記第1のワード線WWLに接続し、ソースを記憶ノードFMAに接続するとともにゲートを逆相ビット線WBL2に接続している。

【0102】また、記憶ノードFMAには、Nチャネル形MOSトランジスタN8のゲートが接続されており、Nチャネル形MOSトランジスタN8のソースは接地されている。さらに、Nチャネル形MOSトランジスタN8のドレインは、Nチャネル形MOSトランジスタN9のソースに接続され、Nチャネル形MOSトランジスタN9は、ゲートを第2のワード線RWLに接続し、ドレインを第2の正相ビット線RBLに接続している。

【0103】すなわち、ワード線WWL、第1の正相ビット線WBL1および逆相ビット線WBL2の選択により、第1のポートによる記憶値の読み出しおよび書き込みを可能とし、第2のワード線RWLおよび第2の正相ビット線RBLの選択により、第2のポートによる記憶値の読み出しを可能としている。特に、この第2のポ

トによる読み出し動作は、メモリセルの記憶ノードFMAおよびMBのデータを破壊することがなく、第1のポートと完全に独立して動作することができるという特徴を有している。

【0104】ここで、図8に示した等価回路自体は、従来の2ポートSRAMセルの回路として既知の構成であるが、実施の形態3にかかる半導体記憶装置では、その構造に特徴がある。図9～12は、実施の形態3にかかる半導体記憶装置のメモリセルのレイアウト図である。なお、図中、コンタクトホールやビアホール等の各種記号は、図6に示すとおりである。

【0105】まず、図9は、半導体基板中に形成されたウエル領域と、そのウエル領域に形成された拡散領域と、それらの上面に形成されたポリシリコン配線層とを含むレイヤを示している。

【0106】実施の形態3にかかる半導体記憶装置のメモリセルでは、図9に示すように、実施の形態1と同様、半導体基板上の平面方向において、Nウエル領域NWを挟んで、第1のPウエル領域PW1と第2のPウエル領域PW2が、配置され、かつそれらウエル領域は上記第1のウエル境界線と上記第2のウエル境界線とが平行となるように形成されている。また、図示していないが、Nウエル領域NWと第1のPウエル領域PW1の間と、Nウエル領域NWと第2のPウエル領域PW2の間に、それぞれ分離領域が存在する。

【0107】図9において、第1のPウエル領域PW1には、図8に示したNチャネル形MOSトランジスタN1およびN3が形成され、Nウエル領域NWには、図8に示したPチャネル形MOSトランジスタP1およびP2が形成され、第2のPウエル領域PW2には、図8に示したNチャネル形MOSトランジスタN2、N4、N8およびN9が形成される。

【0108】以下に、図9～12に示した各レイヤの構造について順に説明する。まず、図9に示すレイヤにおいて、第1のPウエル領域PW1に、上記した第1のウエル境界線に対して垂直な方向に延伸して並置されたポリシリコン配線層PL21が形成される。

【0109】また、第1のPウエル領域PW1からNウエル領域NWに亘って、第1のウエル境界線に対して垂直な方向に一直線に延伸したポリシリコン配線層PL11が形成される。なお、ポリシリコン配線層PL11の一端部は、図9に示すように、第2のウエル境界線上に位置する。

【0110】そして、第1のPウエル領域PW1において、ポリシリコン配線層PL21を挟む位置に、N型不純物の注入によりn+拡散領域FL22およびFL23が形成される。これにより、ポリシリコン配線層PL21をゲート電極としたNチャネル形MOSトランジスタN3が形成される。また、ポリシリコン配線層PL11を挟む位置にn+拡散領域FL21およびFL22が形

成される。これにより、ポリシリコン配線層PL11をゲート電極としたNチャネル形MOSトランジスタN1が形成される。

【0111】特に、これらNチャネル形MOSトランジスタN1およびN3は、ポリシリコン配線層PL11およびPL21が並置していることから、n+拡散領域FL21~23を、第1のウェル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL22を、Nチャネル形MOSトランジスタN1およびN3において共有することが可能となっている。このn+拡散領域FL22の共有は、図8の等価回路にしたがうと、Nチャネル形MOSトランジスタN1のドレインとNチャネル形MOSトランジスタN3のソースとの接続を果たすとともに、Nチャネル形MOSトランジスタN1およびN3の占有面積の縮小化に寄与している。

【0112】一方、第2のPウェル領域PW2には、上記した第2のウェル境界線に対して垂直な方向に延伸して一直線上に並置された二つのポリシリコン配線層PL31およびPL33が形成される。また、第2のPウェル領域PW2からNウェル領域NWに亘って、第2のウェル境界線に対して垂直な方向に一直線に延伸したポリシリコン配線層PL12が形成される。なお、ポリシリコン配線層PL12の一端部は、図9に示すように、第1のウェル境界線上に位置する。

【0113】そして、ポリシリコン配線層PL33を挟む位置に、N型不純物の注入によりn+拡散領域FL36およびFL35が形成されることで、ポリシリコン配線層PL33をゲート電極としたNチャネル形MOSトランジスタN4が形成される。また、ポリシリコン配線層PL12を挟む位置にn+拡散領域FL34およびFL35が形成されることで、ポリシリコン配線層PL12をゲート電極としたNチャネル形MOSトランジスタN2が形成される。

【0114】これらNチャネル形MOSトランジスタN2およびN4は、ポリシリコン配線層PL33およびPL12が並置していることから、n+拡散領域FL34~36を、第2のウェル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL35を、Nチャネル形MOSトランジスタN2およびN4において共有することが可能となっている。このn+拡散領域FL35の共有は、図8の等価回路にしたがって、Nチャネル形MOSトランジスタN2のドレインとNチャネル形MOSトランジスタN4のソースとの接続を果たすとともに、Nチャネル形MOSトランジスタN2およびN4の占有面積の縮小化に寄与している。

【0115】図9において、さらに、ポリシリコン配線層PL31を挟む位置に、N型不純物の注入によりn+拡散領域FL33およびFL32が形成されることで、ポリシリコン配線層PL31をゲート電極としたNチャ

ネル形MOSトランジスタN9が形成される。また、ポリシリコン配線層PL12を挟む位置にn+拡散領域FL32およびFL31が形成されることで、ポリシリコン配線層PL12をゲート電極としたNチャネル形MOSトランジスタN8が形成される。

【0116】これらNチャネル形MOSトランジスタN8およびN9は、ポリシリコン配線層PL31およびPL12が並置していることから、n+拡散領域FL31~33を、第2のウェル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL32を、Nチャネル形MOSトランジスタN8およびN9において共有することが可能となっている。このn+拡散領域FL32の共有は、図8の等価回路にしたがって、Nチャネル形MOSトランジスタN8のドレインとNチャネル形MOSトランジスタN9のソースとの接続を果たすとともに、Nチャネル形MOSトランジスタN8およびN9の占有面積の縮小化に寄与している。

【0117】そして、Nウェル領域NWにおいては、ポリシリコン配線層PL11を挟む位置に、P型不純物の注入によりp+拡散領域FL11およびFL12が形成される。これにより、ポリシリコン配線層PL11をゲート電極としたPチャネル形MOSトランジスタP1が形成される。また、ポリシリコン配線層PL12を挟む位置にp+拡散領域FL13およびFL14が形成されることで、ポリシリコン配線層PL12をゲート電極としたPチャネル形MOSトランジスタP2が形成される。

【0118】これらPチャネル形MOSトランジスタP1およびP2の配置位置は、ポリシリコン配線層PL11およびPL12の位置にしたがって定まるが、このポリシリコン配線層PL11およびPL12の位置間隔は、図9に示すように、実施の形態1と同様、p+拡散領域FL12およびFL13の大きさ程度（トランジスタの最小ピッチ）まで狭めることができる。特に、これらp+拡散領域FL12およびFL13の大きさを、第1のPウェル領域PW1のn+拡散領域FL22と第2のPウェル領域PW2のn+拡散領域FL32およびFL35と同程度にすることで、このメモリのレイアウトに必要な全占有面積を最小にすることができる。

【0119】これは、同時に、ポリシリコン配線層PL11、PL33およびPL31を同一一直線上に配置し、かつポリシリコン配線層PL21およびPL12を同一一直線上に配置することができることを意味している。

【0120】なお、図9に示すように、ポリシリコン配線層PL11、PL12、PL21、PL31およびPL33と、p+拡散領域FL11~14と、n+拡散領域FL21~23、FL33~36と、にはそれぞれ一つずつのコンタクトホールが、そしてn+拡散領域FL31には二つのコンタクトホールが、上層との電気的接続を果たすために設けられている。

【0121】つぎに、図9に示したレイヤの上層に位置するレイヤについて説明する。図10は、図9に示したレイヤ上に形成される第1の金属配線層を含むレイヤを示している。図10に示すレイヤには、下層のn+拡散領域FL22と、p+拡散領域FL12と、ポリシリコン配線層PL12と、を電気的に接続するための第1の金属配線層AL11が形成される。図8の等価回路にしたがうと、この第1の金属配線層AL11により、Nチャネル形MOSトランジスタN1のドレインおよびNチャネル形MOSトランジスタN3のソースと、Pチャネル形MOSトランジスタP1のドレインと、第2のCMOSインバータの入力端子と、の接続が果たされる。

【0122】また、下層のn+拡散領域FL35と、p+拡散領域FL13と、ポリシリコン配線層PL11と、を電気的に接続するための第1の金属配線層AL12が形成される。この第2の金属配線層AL12により、図8の等価回路にしたがって、Nチャネル形MOSトランジスタN2のドレインおよびNチャネル形MOSトランジスタN4のソースと、Pチャネル形MOSトランジスタP2のドレインと、第1のCMOSインバータの入力端子と、の接続が果たされる。

【0123】特に、第1の金属配線層AL11において、n+拡散領域FL22と、p+拡散領域FL12との接点部分は、上述したように同一直線上に配置されているために、それら2点を接続する配線の形状を直線状にすることができる。第1の金属配線層AL12についても同様である。

【0124】また、図10に示すレイヤには、下層のp+拡散領域FL11の接続点を移動させるための第1の金属配線層AL15と、p+拡散領域FL14の接続点を移動させるための第1の金属配線層AL16と、が形成され、下層のポリシリコン配線層PL21の接続点を移動させるための第1の金属配線層AL13と、ポリシリコン配線層PL31の接続点を移動させるための第1の金属配線層AL14と、ポリシリコン配線層PL33の接続点を移動させるための第1の金属配線層AL19と、が形成される。

【0125】さらに、同レイヤには、下層のp+拡散領域FL34およびFL31を電気的に接続するとともに、上層との接続点を移動させるための第1の金属配線層AL18が形成される。図8の等価回路にしたがうと、この第1の金属配線層AL18により、Nチャネル形MOSトランジスタN2およびN8のソース同士の接続が果たされる。

【0126】特に、図9に示すように、n+拡散領域FL34およびFL31は、第2のウェル境界線と垂直な方向の同一直線上に配置されるため、それらn+拡散領域上の各コンタクトホールもまた、それらコンタクトホールを結ぶ直線が第2のウェル境界線に垂直な同一直線上に形成することができる。すなわち、図10に示す第

2の金属配線層AL18を、第2のウェル境界線に垂直な直線形状として形成することが可能になる。

【0127】つぎに、図10に示したレイヤの上層に位置するレイヤについて説明する。図11は、図10に示したレイヤ上に形成される第2の金属配線層を含むレイヤを示している。図11に示すレイヤには、図10に示した第1の金属配線層AL15を経由してp+拡散領域FL11に電源電位VDDを与え、かつ第1の金属配線層AL16を経由してp+拡散領域FL14に電源電位VDDを与えるための第2の金属配線層AL21が形成される。すなわち、この第2の金属配線層AL21は、電源電位VDDラインとして機能し、図8の等価回路において、Pチャネル形MOSトランジスタP1のソースと電源との接続と、Pチャネル形MOSトランジスタP2のソースと電源との接続とを果たすものである。

【0128】また、図10に示した第1の金属配線層AL17を経由して、p+拡散領域FL21に接地電位GNDを与えるための第2の金属配線層AL22と、第1の金属配線層AL18を経由して、p+拡散領域FL31およびFL34に接地電位GNDを与えるための第2の金属配線層AL23が形成される。すなわち、これら第2の金属配線層AL22およびAL23は、接地電位GNDラインとして機能し、図8の等価回路において、Nチャネル形MOSトランジスタN1、N2およびN8の各ソースの接地を果たすものである。

【0129】さらに、図11に示すレイヤには、図10に示したコンタクトホール+第1ビアホールを介して、下層のp+拡散領域FL23に接続されて第1の正相ビット線WBL1として機能する第2の金属配線層AL24と、p+拡散領域FL36に接続されて逆相ビット線WBL2として機能する第2の金属配線層AL25と、p+拡散領域FL33に接続されて第2の正相ビット線RBLとして機能する第2の金属配線層AL26と、が形成される。

【0130】すなわち、これら第2の金属配線層AL24～AL26は、図8の等価回路において、Nチャネル形MOSトランジスタN3の半導体端子の他方（ドレイン）と第1の正相ビット線WBL1との接続と、Nチャネル形MOSトランジスタN4の半導体端子の他方（ドレイン）と逆相ビット線WBL2との接続と、Nチャネル形MOSトランジスタN9の半導体端子の他方（ドレイン）と第2の正相ビット線RBLとの接続と、を果たすものである。

【0131】特に、これら第2の金属配線層AL24～26は、第1のウェル境界線と平行な方向に延伸する直線形状として形成することができる。これは、一つのメモリセル内において、第1の正相ビット線WBL1、逆相ビット線WBL2および第2の正相ビット線RBLの各長さをより短くしたことを意味する。

【0132】また、図11に示すレイヤには、下層の第

1の金属配線層AL13と上層との接続点を移動させるための第2の金属配線層AL27と、下層の第1の金属配線層AL19と上層との接続点を移動させるための第2の金属配線層AL28と、下層の第1の金属配線層AL14と上層との接続点を移動させるための第2の金属配線層AL29と、が形成される。

【0133】つぎに、図11に示したレイヤの上層に位置するレイヤについて説明する。図12は、図11に示したレイヤ上に形成される第3の金属配線層を含むレイヤを示している。図12に示すレイヤには、第1の金属配線層AL13および第2の金属配線層AL27を経由して、ポリシリコン配線層PL21とPL33とを電気的に接続するとともにワード線WWLとして機能する第3の金属配線層AL31が形成される。すなわち、この第3の金属配線層AL31は、図8の等価回路において、Nチャネル形MOSトランジスタN3およびN4のゲートとワード線WWLとの接続を果たすものである。

【0134】また、第1の金属配線層AL14および第2の金属配線層AL29を経由して、ポリシリコン配線層PL31と電気的に接続されるとともに、ワード線RWLとして機能する第3の金属配線層AL32が形成される。すなわち、この第3の金属配線層AL32は、図8の等価回路において、Nチャネル形MOSトランジスタN6のゲートとワード線RWLとの接続を果たすものである。

【0135】特に、図12に示したように、第2の金属配線層AL27およびAL28の位置関係により、両金属配線層間を、第1のウエル境界線に対して垂直な方向に延伸する直線形状の金属配線層で接続することができる。すなわち、図12に示す第3の金属配線層AL31を、第1のウエル境界線に垂直方向に延伸する直線形状として形成することが可能になる。一方、第3の金属配線層AL32は、下層との接続が第2の金属配線層AL29のみであることから、第3の金属配線層AL31と並行に延伸して配置することができる。これは、一つのメモリセル内において、第1のワード線WWLおよび第2のワード線RWLの各長さをより短くしたことを意味する。

【0136】以上に説明したとおり、実施の形態3にかかる半導体記憶装置によれば、アクセスゲートとして機能するNチャネル形MOSトランジスタN3とフリップフロップ回路を構成するNチャネル形MOSトランジスタN1が、一方の半導体端子同士の接続点においてn+拡散領域FL22を共有するとともに、各半導体端子となるn+拡散領域FL21~23が第1のウエル境界線に平行な方向に一直線上に配置されるように形成されるので、Nチャネル形MOSトランジスタN1およびN3の占有面積を小さくすることができる。これにより、メモリセルアレイの集積度を高めることが可能になる。

【0137】また、第1の正相ビット線WBL1、逆相

ビット線WBL2、第1の正相ビット線WBL2として順に機能する第2の金属配線層AL24~26が、第1および第2のウエル境界線に平行に並置するように形成されることで、これらビット線の長さをより短くすることができるため、ビット線の配線容量を低減することができ、これにより高速なアクセスが可能となる。特に、これらビット線は、上記配置により、トランジスタの最小ピッチの2倍の長さまで決めることができる。

【0138】また、第1のワード線WWLおよび第2のワード線RWLとして順に機能する第3の金属配線層AL31およびAL32が、第1および第2のウエル境界線に直交するように形成されることで、これらワード線の長さをより短くすることができるため、ワード線の配線容量をも低減することができ、これにより高速なアクセスが可能となる。

【0139】また、記憶ノードMAおよびMBを形成するドレイン領域を共通のn+拡散領域としているので、その面積を小さくすることができ、寄生容量が低減されて結果的に書き込み時のアクセスの高速化を図ることができる。

【0140】さらに、ポリシリコン配線層を一直線に形成することができるので、半導体製造工程において、レイアウトパターン形成時のマスクずれ等によるプロセスマージンを大きくとることができる。

【0141】実施の形態4. つぎに、実施の形態4にかかる半導体記憶装置について説明する。実施の形態4は、3ポートSRAMセルを構成する他の等価回路についてのレイアウト構成について説明するものである。図13は、実施の形態4にかかる半導体記憶装置の等価回路を示す図である。なお、図13において、第1のワード線WWLと、第1の正相ビット線WBL1と、第1の逆相ビット線WBL2と、Pチャネル形MOSトランジスタP1およびP2と、Nチャネル形MOSトランジスタN1~N4とからなる構成は、図8に示したとおりであるので、ここではその説明を省略する。

【0142】図13では、上記構成に加え、記憶ノードMAに、Nチャネル形MOSトランジスタN8のゲートが接続されており、そのNチャネル形MOSトランジスタN8のソースは接地されている。さらに、Nチャネル形MOSトランジスタN8のドレインは、Nチャネル形MOSトランジスタN9のソースに接続され、Nチャネル形MOSトランジスタN9は、ゲートを第2のワード線RWL1に接続し、ドレインを第2の正相ビット線RBL1に接続している。

【0143】さらに、記憶ノードMBに、Nチャネル形MOSトランジスタN10のゲートが接続されており、そのNチャネル形MOSトランジスタN10のソースは接地されている。さらに、Nチャネル形MOSトランジスタN10のドレインは、Nチャネル形MOSトランジスタN11のソースに接続され、Nチャネル形MOSト

10

20

30

40

50

ランジスタN11は、ゲートを第3のワード線RWL2に接続し、ドレインを第2の逆相ビット線RBL2に接続している。

【0144】すなわち、ワード線WWL、第1の正相ビット線WBL1および逆相ビット線WBL2の選択により、第1のポートによる記憶値の読み出しおよび書き込みを可能とし、第2のワード線RWL1および第2の正相ビット線RBL1の選択により、第2のポートによる記憶値の読み出しを可能としている。さらに、第3のワード線RWL2および第2の逆相ビット線RBL2の選

択により、第3のポートによる記憶値の読み出しを可能としている。特に、これら第2および第3のポートによる読み出し動作は、メモリセルの記憶ノードMAおよびMBのデータを破壊することがなく、第1のポートと完全に独立して動作することができるという特徴を有している。

【0145】ここで、図13に示した等価回路自体は、従来の3ポートSRAMセルの回路として既知の構成であるが、実施の形態4にかかる半導体記憶装置では、その構造に特徴がある。図14～17は、実施の形態4にか

かる半導体記憶装置のメモリセルのレイアウト図である。なお、図中、コンタクトホールやビアホール等の各種記号は、図6に示すとおりである。

【0146】まず、図14は、半導体基板中に形成されたウエル領域と、そのウエル領域に形成された拡散領域と、それらの上面に形成されたポリシリコン配線層とを含むレイヤを示している。

【0147】実施の形態4にかかる半導体記憶装置のメモリセルでも、図14に示すように、実施の形態1と同様、半導体基板上の平面方向において、Nウエル領域N

Wを挟んで、第1のPウエル領域PW1と第2のPウエル領域PW2が、配置され、かつそれらウエル領域は上記第1のウエル境界線と上記第2のウエル境界線とが平行となるように形成されている。また、図示していないが、Nウエル領域NWと第1のPウエル領域PW1の間と、Nウエル領域NWと第2のPウエル領域PW2の間と、それぞれ分離領域が存在する。

【0148】図14において、第1のPウエル領域PW1には、図13に示したNチャネル形MOSトランジスタN1、N3、N10およびN11が形成され、Nウエル領域NWには、Pチャネル形MOSトランジスタP1およびP2が形成され、第2のPウエル領域PW2には、Nチャネル形MOSトランジスタN2、N4、N8およびN9が形成される。

【0149】以下に、図14～17に示した各レイヤの構造について順に説明する。まず、図14に示すレイヤにおいて、第1のPウエル領域PW1に、上記した第1のウエル境界線に対して垂直な方向に延伸して一直線上に並置された二つのポリシリコン配線層PL21およびPL22が形成される。

【0150】また、第1のPウエル領域PW1からNウエル領域NWに亘って、第1のウエル境界線に対して垂直な方向に一直線に延伸したポリシリコン配線層PL11が形成される。なお、ポリシリコン配線層PL11の一端部は、図14に示すように、第2のウエル境界線上に位置する。

【0151】そして、ポリシリコン配線層PL21を挟む位置に、N型不純物の注入によりn+拡散領域FL22およびFL23が形成されることで、ポリシリコン配線層PL21をゲート電極としたNチャネル形MOSトランジスタN3が形成される。また、ポリシリコン配線層PL11を挟む位置にn+拡散領域FL21およびFL22が形成されることで、ポリシリコン配線層PL11をゲート電極としたNチャネル形MOSトランジスタN1が形成される。

【0152】特に、これらNチャネル形MOSトランジスタN1およびN3は、ポリシリコン配線層PL11およびPL21が並置していることから、n+拡散領域FL21～23を、第1のウエル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL22を、Nチャネル形MOSトランジスタN1およびN3において共有することが可能となっている。このn+拡散領域FL22の共有は、図13の等価回路にしたがうと、Nチャネル形MOSトランジスタN1のドレインとNチャネル形MOSトランジスタN3のソースとの接続を果たすとともに、Nチャネル形MOSトランジスタN1およびN3の占有面積の縮小化に寄与している。

【0153】図14においては、さらに、ポリシリコン配線層PL22を挟む位置に、N型不純物の注入によりn+拡散領域FL25およびFL26が形成されることで、ポリシリコン配線層PL22をゲート電極としたNチャネル形MOSトランジスタN11が形成される。また、ポリシリコン配線層PL11を挟む位置にn+拡散領域FL24およびFL25が形成されることで、ポリシリコン配線層PL11をゲート電極としたNチャネル形MOSトランジスタN10が形成される。

【0154】これらNチャネル形MOSトランジスタN10およびN11は、ポリシリコン配線層PL22およびPL11が並置していることから、n+拡散領域FL24～26を、第1のウエル境界線に平行な方向にかつ一直線上に配置することができ、これによりn+拡散領域FL25を、Nチャネル形MOSトランジスタN10およびN11において共有することが可能となっている。このn+拡散領域FL25の共有は、図13の等価回路にしたがうと、Nチャネル形MOSトランジスタN10のドレインとNチャネル形MOSトランジスタN11のソースとの接続を果たすとともに、Nチャネル形MOSトランジスタN10およびN11の占有面積の縮小化に寄与している。

【0155】一方、第2のPウェル領域PW2およびNウェル領域NWにおける拡散領域およびポリシリコン配線層の形成は、実施の形態3において図9の説明に示したとおりなので、ここではそれらの説明を省略する。

【0156】よって、図14に示すように、ポリシリコン配線層PL11、PL33およびPL31が同一直線上に配置され、かつポリシリコン配線層PL21、PL22およびPL12が同一直線上に配置される。

【0157】なお、図14に示すように、ポリシリコン配線層PL11、PL12、PL21、PL22、PL31およびPL33と、p+拡散領域FL11~14と、n+拡散領域FL21~23、FL26、FL33~36と、にはそれぞれ一つずつのコンタクトホールが、そしてn+拡散領域FL24およびFL31には二つのコンタクトホールが、上層との電氣的接続を果たすために設けられている。

【0158】つぎに、図14に示したレイヤの上層に位置するレイヤについて説明する。図15は、図14に示したレイヤ上に形成される第1の金属配線層を含むレイヤを示している。なお、図15に示すレイヤにおいて、第2のPウェル領域PW2およびNウェル領域NW上の第2の金属配線層の形成は、実施の形態3において図10の説明に示したとおりなので、ここではそれらの説明を省略する。

【0159】図15に示すレイヤにおいて、第1のPウェル領域PW1には、下層のn+拡散領域FL22と、p+拡散領域FL12と、ポリシリコン配線層PL12と、を電氣的に接続するための第1の金属配線層AL11が形成される。図13の等価回路にしたがうと、この第1の金属配線層AL11により、Nチャネル形MOSトランジスタN1のドレインおよびNチャネル形MOSトランジスタN3のソースと、Pチャネル形MOSトランジスタP1のドレインと、第2のCMOSインバータの入力端子と、の接続が果たされる。

【0160】特に、第1の金属配線層AL11において、n+拡散領域FL22と、p+拡散領域FL12との接点部分は、上述したように同一直線上に配置されているために、それら2点を接続する配線の形状を直線状にすることができる。

【0161】また、図15に示すレイヤには、下層のポリシリコン配線層PL22の接続点を移動させるための第1の金属配線層AL13と、ポリシリコン配線層PL21の接続点を移動させるための第1の金属配線層AL10と、が形成される。

【0162】さらに、同レイヤには、下層のp+拡散領域FL24およびFL21を電氣的に接続するとともに、上層との接続点を移動させるための第1の金属配線層AL17が形成される。図13の等価回路にしたがうと、この第1の金属配線層AL17により、Nチャネル形MOSトランジスタN1およびN10のソース同士の

接続が果たされる。

【0163】特に、図14に示すように、n+拡散領域FL24およびFL21は、第1のウェル境界線と垂直な方向の同一直線上に配置されるため、それらn+拡散領域上の各コンタクトホールもまた、それらコンタクトホールを結ぶ直線が第1のウェル境界線に垂直な同一直線上に形成することができる。すなわち、図15に示す第2の金属配線層AL17を、第1のウェル境界線に垂直な直線形状として形成することが可能になる。

【0164】つぎに、図15に示したレイヤの上層に位置するレイヤについて説明する。図16は、図15に示したレイヤ上に形成される第2の金属配線層を含むレイヤを示している。図16に示すレイヤには、図15に示した第1の金属配線層AL15を経由してp+拡散領域FL11に電源電位VDDを与え、かつ第1の金属配線層AL16を経由してp+拡散領域FL14に電源電位VDDを与えるための第2の金属配線層AL21が形成される。すなわち、この第2の金属配線層AL21は、電源電位VDDラインとして機能し、図13の等価回路において、Pチャネル形MOSトランジスタP1のソースと電源との接続と、Pチャネル形MOSトランジスタP2のソースと電源との接続とを果たすものである。

【0165】また、図15に示した第1の金属配線層AL17を経由して、p+拡散領域FL21およびFL24に接地電位GNDを与えるための第2の金属配線層AL22と、第1の金属配線層AL18を経由して、p+拡散領域FL31およびFL34に接地電位GNDを与えるための第2の金属配線層AL23が形成される。すなわち、これら第2の金属配線層AL22およびAL23は、接地電位GNDラインとして機能し、図13の等価回路において、Nチャネル形MOSトランジスタN1、N2、N8およびN10の各ソースの接地を果たすものである。

【0166】さらに、図16に示すレイヤには、図15に示したコンタクトホール+第1ビアホールを介して、下層のp+拡散領域FL23に接続されて第1の正相ビット線WBL1として機能する第2の金属配線層AL24と、下層のp+拡散領域FL26に接続されて第2の逆相ビット線RBL2として機能する第2の金属配線層AL42と、p+拡散領域FL36に接続されて逆相ビット線WBL2として機能する第2の金属配線層AL25と、p+拡散領域FL33に接続されて第2の正相ビット線RBL1として機能する第2の金属配線層AL26と、が形成される。

【0167】すなわち、これら第2の金属配線層AL24~AL26およびAL42は、図13の等価回路において、Nチャネル形MOSトランジスタN3の半導体端子の他方(ドレイン)と第1の正相ビット線WBL1との接続と、Nチャネル形MOSトランジスタN4の半導体端子の他方(ドレイン)と逆相ビット線WBL2との

接続と、Nチャネル形MOSトランジスタN9の半導体端子の他方（ドレイン）と第2の正相ビット線RBL1との接続と、Nチャネル形MOSトランジスタN11の半導体端子の他方（ドレイン）と第2の逆相ビット線RBL2との接続と、を果たすものである。

【0168】特に、これら第2の金属配線層AL24～26およびAL42は、第1のウエル境界線と平行な方向に延伸する直線形状として形成することができる。これは、一つのメモリセル内において、第1の正相ビット線WBL1、逆相ビット線WBL2、第2の正相ビット線RBL1および第2の逆相ビット線RBL2の各長さをより短くしたことを意味する。

【0169】また、図16に示すレイヤには、下層の第1の金属配線層AL13と上層との接続点を移動させるための第2の金属配線層AL41と、下層の第1の金属配線層AL19と上層との接続点を移動させるための第2の金属配線層AL28と、下層の第1の金属配線層AL10と上層との接続点を移動させるための第2の金属配線層AL27と、が形成される。さらに、下層の第1の金属配線層AL14を介して、ポリシリコン配線層PL31と上層とを接続する第2の金属配線層AL29が形成される。

【0170】つぎに、図16に示したレイヤの上層に位置するレイヤについて説明する。図17は、図16に示したレイヤ上に形成される第3の金属配線層を含むレイヤを示している。図17に示すレイヤには、第1の金属配線層AL10および第2の金属配線層AL27を経由して、ポリシリコン配線層PL21とPL33とを電気的に接続するとともに第1のワード線WWLとして機能する第3の金属配線層AL31が形成される。すなわち、この第3の金属配線層AL31は、図13の等価回路において、Nチャネル形MOSトランジスタN3およびN4のゲートと第1のワード線WWLとの接続を果たすものである。

【0171】また、第1の金属配線層AL14および第2の金属配線層AL29を経由して、ポリシリコン配線層PL31と電気的に接続されるとともに、第2のワード線RWL1として機能する第3の金属配線層AL32が形成される。すなわち、この第3の金属配線層AL32は、図13の等価回路において、Nチャネル形MOSトランジスタN6のゲートと第2のワード線RWL1との接続を果たすものである。

【0172】さらに、第1の金属配線層AL13および第2の金属配線層AL41を経由して、ポリシリコン配線層PL22と電気的に接続されるとともに、第3のワード線RWL2として機能する第3の金属配線層AL33が形成される。すなわち、この第3の金属配線層AL33は、図13の等価回路において、Nチャネル形MOSトランジスタN11のゲートと第3のワード線RWL2との接続を果たすものである。

【0173】特に、図17に示すように、第2の金属配線層AL27およびAL28の位置関係により、両金属配線層間を、第1のウエル境界線に対して垂直な方向に延伸する直線形状の金属配線層で接続することができる。すなわち、図17に示す第3の金属配線層AL31を、第1のウエル境界線に垂直方向に延伸する直線形状として形成することが可能になる。一方、第3の金属配線層AL32は、下層との接続が第2の金属配線層AL29のみであり、第3の金属配線層AL33は、下層との接続が第2の金属配線層AL41のみであることから、それぞれ第3の金属配線層AL31と並行に延伸して配置することができる。これは、一つのメモリセル内において、第1のワード線WWL、第2のワード線RWL1および第3のワード線RWL2の各長さをより短くしたことを意味する。

【0174】以上に説明したとおり、実施の形態4にかかる半導体記憶装置によれば、3ポートSRAMセルにおいても、実施の形態3による効果を享受することができる。

【0175】実施の形態5. つぎに、実施の形態5にかかる半導体記憶装置について説明する。実施の形態4は、差分読み出し型2ポートSRAMセルを構成する他の等価回路についてのレイアウト構成について説明するものである。図18は、実施の形態5にかかる半導体記憶装置の等価回路を示す図である。

【0176】図18に示す等価回路は、図13に示した等価回路において、Nチャネル形MOSトランジスタN9およびN11のゲート同士を接続し、その接続ラインを共通の第2のワード線RWLとした点のみが実施の形態4と異なる。その他の構成は、図13に示したとおりであるので、ここではその説明を省略する。

【0177】よって、その動作もまた、読み出し動作を第2の正相ビット線RBL1の電位と第2の逆相ビット線RBL2の電位との差分でおこなう点以外は、図13に示した等価回路と同様である。

【0178】また、レイアウト構造についても、図16に対応する第2の金属配線層レイヤと図17に対応する第3の金属配線層レイヤのみが異なり、他の下層のレイヤは、図14および図15に示したとおりであるので、ここではそれらの説明を省略する。

【0179】よって以下に、図15に示したレイヤの上層に位置するレイヤについて説明する。図19および図20は、実施の形態5にかかる半導体記憶装置のメモリのレイアウト図であり、特に、図19は、図16に対応する第2の金属配線層を含むレイヤを示し、図20は、図17に対応する第3の金属配線層を含むレイヤを示している。

【0180】まず、図19に示すレイヤには、図15に示した第1の金属配線層AL15を経由してp+拡散領域FL11に電源電位VDDを与え、かつ第1の金属配

10

20

30

40

50

線層AL16を経由してp+拡散領域FL14に電源電位VDDを与えるための第2の金属配線層AL21が形成される。すなわち、この第2の金属配線層AL21は、電源電位VDDラインとして機能し、図18の等価回路において、Pチャネル形MOSトランジスタP1のソースと電源との接続と、Pチャネル形MOSトランジスタP2のソースと電源との接続とを果たすものである。

【0181】また、図15に示した第1の金属配線層AL17を経由して、p+拡散領域FL21およびFL24に接地電位GNDを与えるための第2の金属配線層AL22と、第1の金属配線層AL18を経由して、p+拡散領域FL31およびFL34に接地電位GNDを与えるための第2の金属配線層AL23が形成される。すなわち、これら第2の金属配線層AL22およびAL23は、接地電位GNDラインとして機能し、図18の等価回路において、Nチャネル形MOSトランジスタN1、N2、N8およびN10の各ソースの接地を果たすものである。

【0182】さらに、図19に示すレイヤには、図15に示したコンタクトホール+第1ビアホールを介して、下層のp+拡散領域FL23に接続されて第1の正相ビット線WBL1として機能する第2の金属配線層AL24と、下層のp+拡散領域FL26に接続されて第2の逆相ビット線RBL2として機能する第2の金属配線層AL42と、p+拡散領域FL36に接続されて逆相ビット線WBL2として機能する第2の金属配線層AL25と、p+拡散領域FL33に接続されて第2の正相ビット線RBL1として機能する第2の金属配線層AL26と、が形成される。

【0183】すなわち、これら第2の金属配線層AL24～AL26およびAL42は、図18の等価回路において、Nチャネル形MOSトランジスタN3の半導体端子の他方（ドレイン）と第1の正相ビット線WBL1との接続と、Nチャネル形MOSトランジスタN4の半導体端子の他方（ドレイン）と逆相ビット線WBL2との接続と、Nチャネル形MOSトランジスタN9の半導体端子の他方（ドレイン）と第2の正相ビット線RBL1との接続と、Nチャネル形MOSトランジスタN11の半導体端子の他方（ドレイン）と第2の逆相ビット線RBL2との接続と、を果たすものである。

【0184】特に、これら第2の金属配線層AL24～26およびAL42は、第1のウエル境界線と平行な方向に延伸する直線形状として形成することができる。これは、一つのメモリセル内において、第1の正相ビット線WBL1、逆相ビット線WBL2、第2の正相ビット線RBL1および第2の逆相ビット線RBL2の各長さをより短くしたことを意味する。

【0185】また、図19に示すレイヤには、下層の第1の金属配線層AL13と上層との接続点を移動させる

ための第2の金属配線層AL41と、下層の第1の金属配線層AL19と上層との接続点を移動させるための第2の金属配線層AL28と、下層の第1の金属配線層AL10と上層との接続点を移動させるための第2の金属配線層AL27と、下層の第1の金属配線層AL14を介して、ポリシリコン配線層PL31と上層との接続点を移動させるための第2の金属配線層AL29が形成される。

【0186】つぎに、図19に示したレイヤの上層に位置するレイヤについて説明する。図20は、図19に示したレイヤ上に形成される第3の金属配線層を含むレイヤを示している。図20に示すレイヤには、第1の金属配線層AL10および第2の金属配線層AL27を経由して、ポリシリコン配線層PL21とPL33とを電気的に接続するとともに第1のワード線WWLとして機能する第3の金属配線層AL31が形成される。すなわち、この第3の金属配線層AL31は、図18の等価回路において、Nチャネル形MOSトランジスタN3およびN4のゲートと第1のワード線WWLとの接続を果たすものである。

【0187】また、第1の金属配線層AL14および第2の金属配線層AL29を経由して、ポリシリコン配線層PL22とPL31とを電気的に接続するとともに第2のワード線RWLとして機能する第3の金属配線層AL32が形成される。すなわち、この第3の金属配線層AL32は、図18の等価回路において、Nチャネル形MOSトランジスタN9およびN11のゲートと第2のワード線RWLとの接続を果たすものである。

【0188】特に、図20に示すように、第2の金属配線層AL27およびAL28の位置関係により、両金属配線層間を、第1のウエル境界線に対して垂直な方向に延伸する直線形状の金属配線層で接続することができる。すなわち、図20に示す第3の金属配線層AL31を、第1のウエル境界線に垂直方向に延伸する直線形状として形成することが可能になる。第3の金属配線層AL32についても同様である。これは、一つのメモリセル内において、第1のワード線WWLおよび第2のワード線RWLの各長さをより短くしたことを意味する。

【0189】以上に説明したとおり、実施の形態5にかかる半導体記憶装置によれば、より高速で安定した読み出し動作が可能な差分読み出し型2ポートSRAMセルにおいても、実施の形態3による効果を享受することができる。

【0190】

【発明の効果】以上、説明したとおり、この発明によれば、正相ビット線と電気的に接続される第1、第3および第5のNチャネル形MOSトランジスタと、逆相ビット線と接続される第2、第4および第6のNチャネル形MOSトランジスタと、を分離されたPウエル領域にそれぞれ形成されるので、特に、これらウエル領域の並置

方向を、正相および逆相ビット線方向に対して垂直とすることにより、ビット線の長さを短くするレイアウトを適用することが可能となり、高速なアクセスが可能となるという効果を奏する。

【0191】つぎの発明によれば、第1および第2のPウェル領域を、Nウェル領域の両側に配置するので、第1および第2のPウェル領域にそれぞれ形成されたNチャネル形MOSトランジスタと、Nウェル領域に形成されたPチャネル形MOSトランジスタとの接続配線距離を均一にすることができ、より配線の短い最適なレイアウトを採用することができるという効果を奏する。

【0192】つぎの発明によれば、各ビット線の延伸方向が第1および第2のPウェル領域とNウェル領域との境界線に対して平行であるので、各ワード線の長さをも短くすることを考慮した場合、各ビット線の長さを最短とするレイアウトが可能となるという効果を奏する。

【0193】つぎの発明によれば、各ワード線の延伸方向が第1および第2のPウェル領域とNウェル領域との境界線に対して垂直であるので、各ビット線の長さを優先的に短くすることを考慮した場合、各ワード線の長さを最短とするレイアウトが可能となるという効果を奏する。

【0194】つぎの発明によれば、第1のPチャネル形MOSトランジスタと、第1、第3および第4のNチャネル形MOSトランジスタの各ゲート領域が同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、また、第2のPチャネル形MOSトランジスタと、第2、第5および第6のNチャネル形MOSトランジスタの各ゲート領域についても同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、これにより短い配線を得ることができるという効果を奏する。

【0195】つぎの発明によれば、アクセスゲートとして機能する第3および第5のNチャネル形MOSトランジスタの各ソースおよびドレインが、同一の直線上に位置するので、これら第3および第5のNチャネル形MOSトランジスタの配置間隔を小さくすることができ、また第4および第6のNチャネル形MOSトランジスタについても同様に各ソースおよびドレインが、同一の直線上に位置するので、これら第4および第6のNチャネル形MOSトランジスタの配置間隔を小さくすることができ、メモリセルの集積度を向上させることができるという効果を奏する。

【0196】つぎの発明によれば、第3および第5のNチャネル形MOSトランジスタと第4および第6のNチャネル形MOSトランジスタとにおいて、それぞれドレイン拡散領域が共通のn+拡散領域で形成されているので、n+拡散領域を小さくすることができ、n+拡散領域による寄生容量を低減することが可能になるという効

果を奏する。

【0197】つぎの発明によれば、第1のNチャネル形MOSトランジスタと、第3および第5のNチャネル形MOSトランジスタとの各ドレイン拡散領域が、上層の第1の金属配線により接続され、第2のNチャネル形MOSトランジスタと、第4および第6のNチャネル形MOSトランジスタとの各ドレイン拡散領域が、上層の第2の金属配線により接続されるので、これら第1および第2の金属配線を、上記したドレイン拡散領域の配置位置に応じて直線形状にすることができ、これにより短い配線を得ることができるという効果を奏する。

【0198】つぎの発明によれば、第1および第2の金属配線の延伸方向が、各ワード線の延伸方向に対して平行であるので、これら金属配線の長さもワード線と同様に最適な長さにすることができるという効果を奏する。

【0199】つぎの発明によれば、各ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向が、各ワード線に対して垂直であるので、これら配線の長さを最短にすることができ、高速アクセスが可能になるという効果を奏する。

【0200】つぎの発明によれば、第1、第3および第5のNチャネル形MOSトランジスタと第2、第4および第6のNチャネル形MOSトランジスタとにおいて、それぞれドレイン拡散領域が共通のn+拡散領域で形成されているので、これらドレイン拡散領域間の金属配線を省略することができるという効果を奏する。

【0201】つぎの発明によれば、第1のn+拡散領域と第1のPチャネル形MOSトランジスタのドレイン拡散領域と、第2のn+拡散領域と第2のPチャネル形MOSトランジスタのドレイン拡散領域とが、それぞれ上層の金属配線により接続されるので、これら金属配線を、上記したドレイン拡散領域とn+拡散領域の配置位置に応じて直線形状にすることができ、これにより短い配線を得ることができるという効果を奏する。

【0202】つぎの発明によれば、第5および第6のNチャネル形MOSトランジスタを読み出し用のポートとした2ポートSRAMセルを構成する回路において、正相ビット線と電気的に接続される第1、第3および第5のNチャネル形MOSトランジスタと、逆相ビット線と接続される第2および第4のNチャネル形MOSトランジスタとが、分離されたPウェル領域にそれぞれ形成されるので、特に、これらウェル領域の並置方向を、正相および逆相ビット線方向に対して垂直とすることにより、ビット線の長さを短くするレイアウトを適用することが可能となり、高速なアクセスが可能となるという効果を奏する。

【0203】つぎの発明によれば、第5および第6のNチャネル形MOSトランジスタを第1の読み出し用のポートとするとともに、第7および第8のNチャネル形MOSトランジスタを第2の読み出し用のポートした3ポ

ートSRAMセルを構成する回路において、正相ビット線と電気的に接続される第1、第3および第5のNチャネル形MOSトランジスタと、逆相ビット線と接続される第2、第4および第7のNチャネル形MOSトランジスタとが、分離されたPウェル領域にそれぞれ形成されるので、特に、これらウェル領域の並置方向を、正相および逆相ビット線方向に対して垂直とすることにより、ビット線の長さを短くするレイアウトを適用することが可能となり、高速なアクセスが可能となるという効果を奏する。

【0204】つぎの発明によれば、第2の正相ビット線と第2の逆ビット線との間の電位の差分で読み出し動作をおこなう差分読み出し型2ポートSRAMセルを構成する回路において、正相ビット線と電気的に接続される第1、第3および第5のNチャネル形MOSトランジスタと、逆相ビット線と接続される第2、第4および第7のNチャネル形MOSトランジスタとが、分離されたPウェル領域にそれぞれ形成されるので、特に、これらウェル領域の並置方向を、正相および逆相ビット線方向に対して垂直とすることにより、ビット線の長さを短くするレイアウトを適用することが可能となり、高速なアクセスが可能となるという効果を奏する。

【0205】つぎの発明によれば、第1および第2のPウェル領域を、Nウェル領域の両側に配置するので、第1および第2のPウェル領域にそれぞれ形成されたNチャネル形MOSトランジスタと、Nウェル領域に形成されたPチャネル形MOSトランジスタとの接続配線距離を均一にすることができ、より配線の短い最適なレイアウトを採用することができるといふ効果を奏する。

【0206】つぎの発明によれば、各ビット線の延伸方向が第1および第2のPウェル領域とNウェル領域との境界線に対して平行であるので、各ワード線の長さをも短くすることを考慮した場合、各ビット線の長さを最短とするレイアウトが可能となるという効果を奏する。

【0207】つぎの発明によれば、各ワード線の延伸方向が第1および第2のPウェル領域とNウェル領域との境界線に対して垂直であるので、各ビット線の長さを優先的に短くすることを考慮した場合、各ワード線の長さを最短とするレイアウトが可能となるという効果を奏する。

【0208】つぎの発明によれば、第1のPチャネル形MOSトランジスタと、第1、第4および第6のNチャネル形MOSトランジスタの各ゲート領域が同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、また、第2のPチャネル形MOSトランジスタと、第2、第3および第5のNチャネル形MOSトランジスタの各ゲート領域についても同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、これにより短い配線を得る

ことができるという効果を奏する。

【0209】つぎの発明によれば、第2のNチャネル形MOSトランジスタのドレインと第4のNチャネル形MOSトランジスタのソースが、同一の直線上に位置するので、これら第2および第4のNチャネル形MOSトランジスタの配置間隔を小さくすることができ、また第5のNチャネル形MOSトランジスタのドレインと第6のNチャネル形MOSトランジスタのソースも同様に同一の直線上に位置するので、これら第5および第6のNチャネル形MOSトランジスタの配置間隔を小さくすることができ、メモリセルの集積度を向上させることができるという効果を奏する。

【0210】つぎの発明によれば、第1および第3のNチャネル形MOSトランジスタと第5および第6のNチャネル形MOSトランジスタとにおいて、それぞれ半導体端子の一方が共通のn+拡散領域で形成されているので、n+拡散領域を小さくすることができ、n+拡散領域による寄生容量を低減することが可能になるという効果を奏する。

【0211】つぎの発明によれば、第2のPチャネル形MOSトランジスタと第2および第5のNチャネル形MOSトランジスタとが、互いのゲート領域を直線状の共通のポリシリコン配線により接続しているため、これらMOSトランジスタ間の配置間隔を小さくすることができ、メモリセルの集積度を向上させることができるという効果を奏する。

【0212】つぎの発明によれば、各ビット線と、電源ラインと、GNDラインのそれぞれの延伸方向が、各ワード線に対して垂直であるので、これら配線の長さを最短にすることができ、高速アクセスが可能になるという効果を奏する。

【0213】つぎの発明によれば、第1のPチャネル形MOSトランジスタと、第1、第4、第6および第7のNチャネル形MOSトランジスタの各ゲート領域が同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、また、第2のPチャネル形MOSトランジスタと、第2、第3、第5および第8のNチャネル形MOSトランジスタの各ゲート領域についても同一の直線上に位置するように形成されるので、これらゲート間を接続するための配線を直線形状にすることができ、これにより短い配線を得ることができるという効果を奏する。

【0214】つぎの発明によれば、第2のNチャネル形MOSトランジスタのドレインと第4のNチャネル形MOSトランジスタのソースが、同一の直線上に位置するので、これら第2および第4のNチャネル形MOSトランジスタの配置間隔を小さくすることができ、また第5のNチャネル形MOSトランジスタのドレインと第6のNチャネル形MOSトランジスタのソースも同様に同一の直線上に位置するので、これら第5および第6のNチャ

チャンネル形MOSトランジスタの配置間隔を小さくすることができ、さらに第7のNチャンネル形MOSトランジスタのドレインと第8のNチャンネル形MOSトランジスタのソースも同様に同一の直線上に位置するので、これら第7および第8のNチャンネル形MOSトランジスタの配置間隔を小さくすることができ、メモリセルの集積度を向上させることができるという効果を奏する。

【0215】つぎの発明によれば、第1および第3のNチャンネル形MOSトランジスタと第5および第6のNチャンネル形MOSトランジスタと第7および第8のNチャンネル形MOSトランジスタとにおいて、それぞれ半導体端子の一方が共通のn+拡散領域で形成されているので、n+拡散領域を小さくすることができ、n+拡散領域による寄生容量を低減することが可能になるという効果を奏する。

【0216】つぎの発明によれば、第2のPチャンネル形MOSトランジスタと第2および第5のNチャンネル形MOSトランジスタとが、互いのゲート領域を直線状の共通のポリシリコン配線により接続し、さらに第1のPチャンネル形MOSトランジスタと第1および第7のNチャンネル形MOSトランジスタとが、互いのゲート領域を直線状の共通のポリシリコン配線により接続しているので、これらMOSトランジスタ間の配置間隔を小さくすることができ、メモリセルの集積度を向上させることができるという効果を奏する。

【図面の簡単な説明】

【図1】 実施の形態1にかかる半導体記憶装置の等価回路を示す図である。

【図2】 実施の形態1にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図3】 実施の形態1にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図4】 実施の形態1にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図5】 実施の形態1にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図6】 コンタクトホールやビアホール等の各種記号を説明するための説明図である。

【図7】 実施の形態2にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図8】 実施の形態3にかかる半導体記憶装置の等価回路を示す図である。

*【図9】 実施の形態3にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図10】 実施の形態3にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図11】 実施の形態3にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図12】 実施の形態3にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図13】 実施の形態4にかかる半導体記憶装置の等価回路を示す図である。

【図14】 実施の形態4にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図15】 実施の形態4にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図16】 実施の形態4にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図17】 実施の形態4にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図18】 実施の形態5にかかる半導体記憶装置の等価回路を示す図である。

【図19】 実施の形態5にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図20】 実施の形態5にかかる半導体記憶装置のメモリセルのレイアウト図である。

【図21】 従来の半導体記憶装置において、半導体基板表面に形成された拡散領域と、その上面に形成された多結晶シリコン膜、第1の金属配線層を含む下地を示すレイアウト図である。

【図22】 従来の半導体記憶装置において、上層に形成された第2および第3の金属配線層を含む上地を示すレイアウト図である。

【図23】 従来の記憶セルのレイアウト図である。

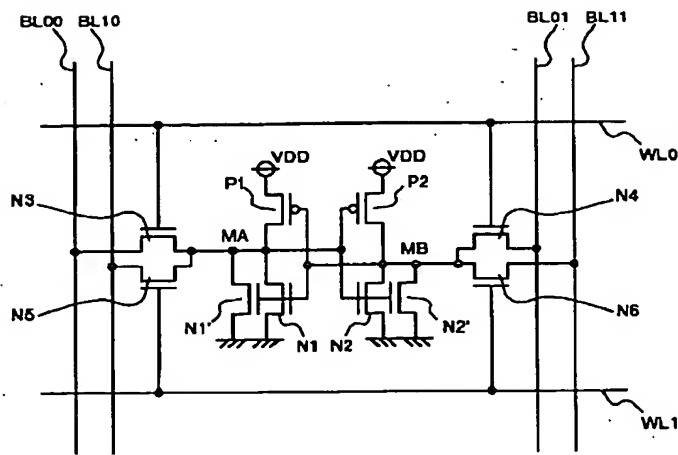
【符号の説明】

NW Nウェル領域、PW1 第1のPウェル領域、PW2 第2のPウェル領域、FL11, FL12, FL21~26, FL31~36 n+拡散領域、FL11, FL12 p+拡散領域、AL11, AL12, AL15~18 第1の金属配線層、AL21~29, AL41, AL42 第2の金属配線層、AL31~33 第3の金属配線層、N1~6, N8~11 Nチャンネル形MOSトランジスタ、P1, P2 Pチャンネル形MOSトランジスタ。

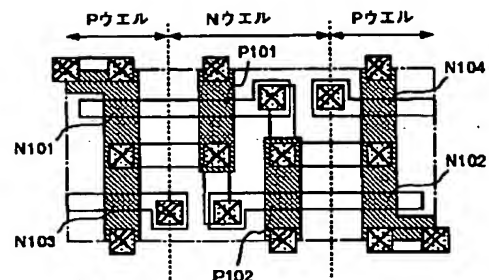
【図6】

- ☐ コンタクトホール
- ☒ 第1ビアホール
- ☒ 第2ビアホール
- ☒ コンタクトホール+第1ビアホール

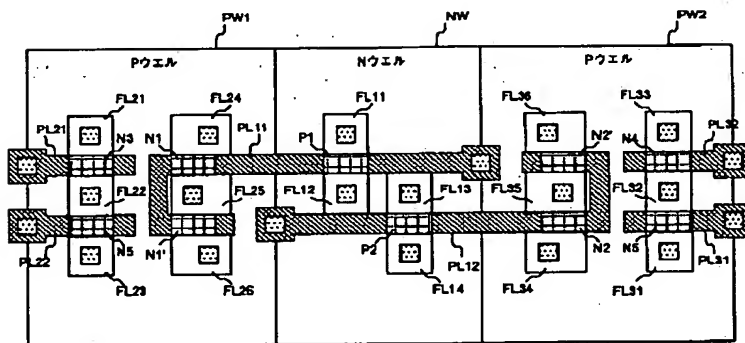
【図1】



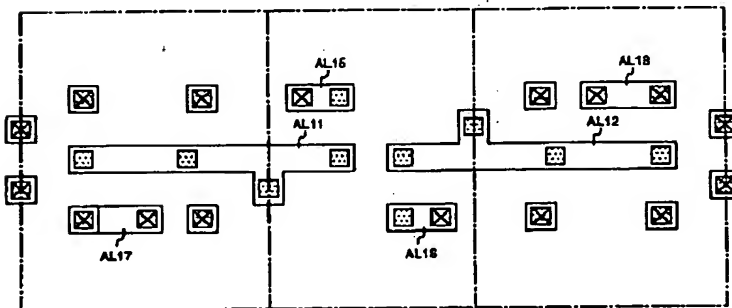
【図21】



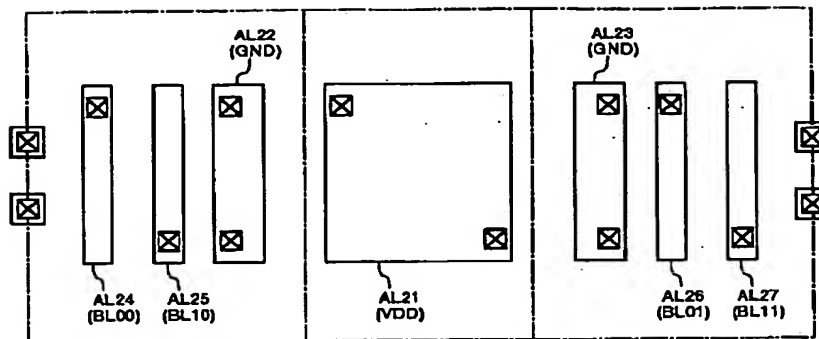
【図2】



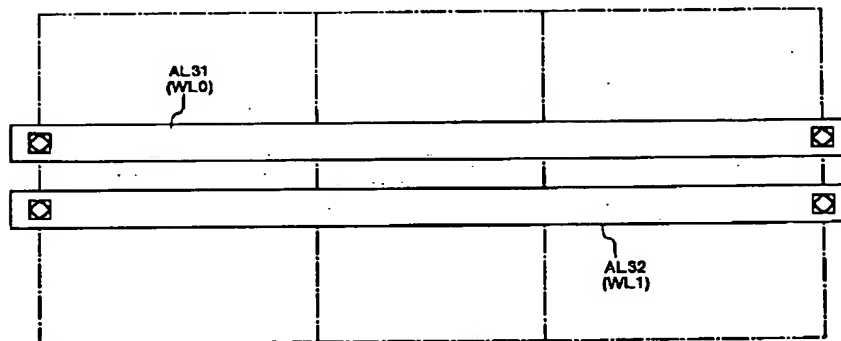
【図3】



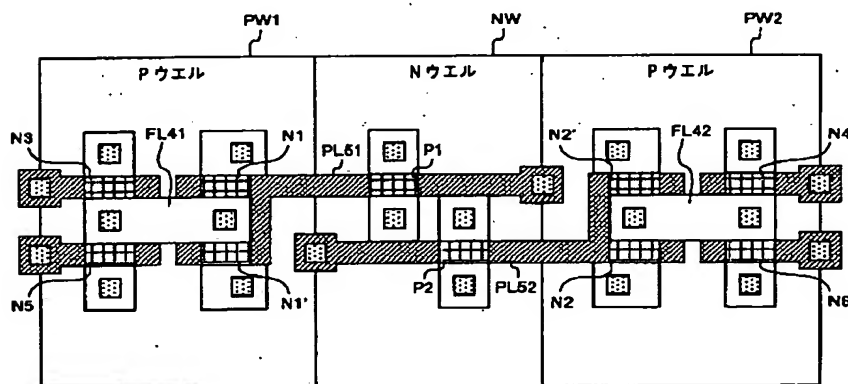
【図4】



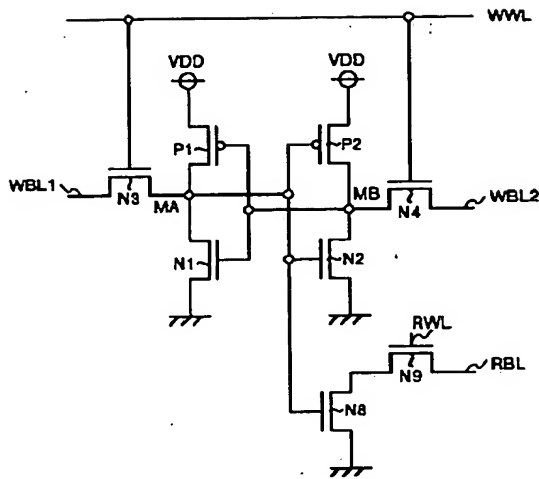
【図5】



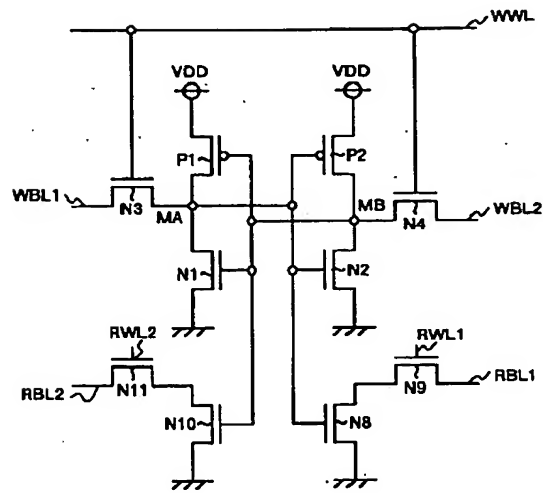
【図7】



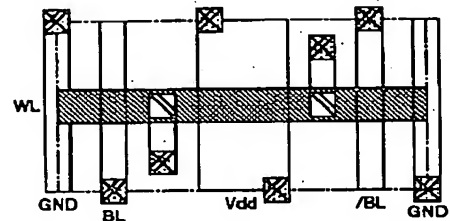
【図8】



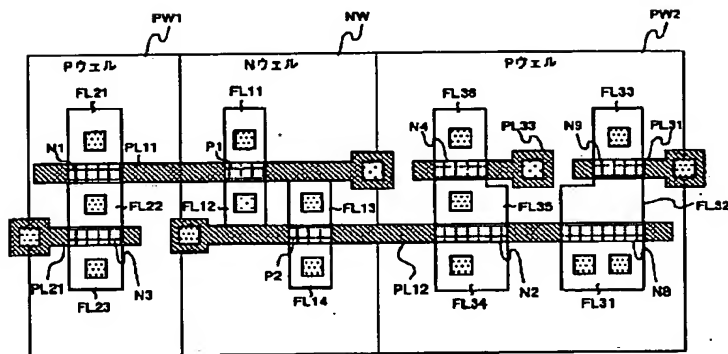
【図13】



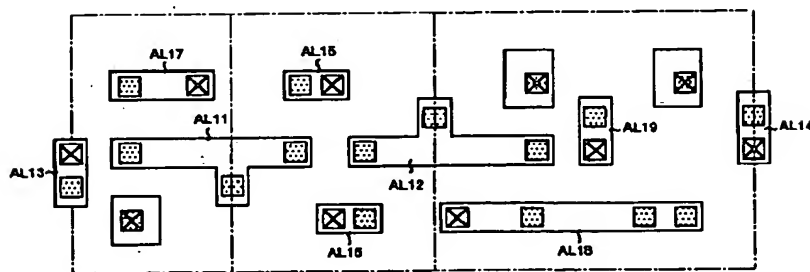
【図22】



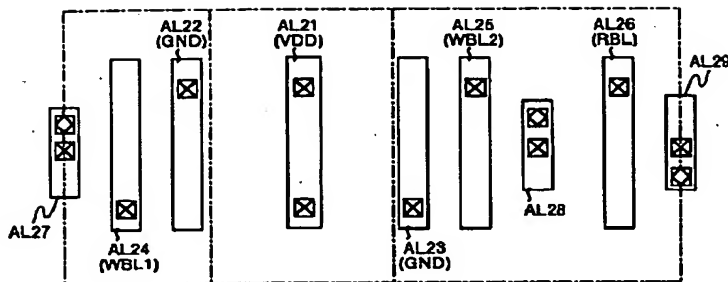
【図9】



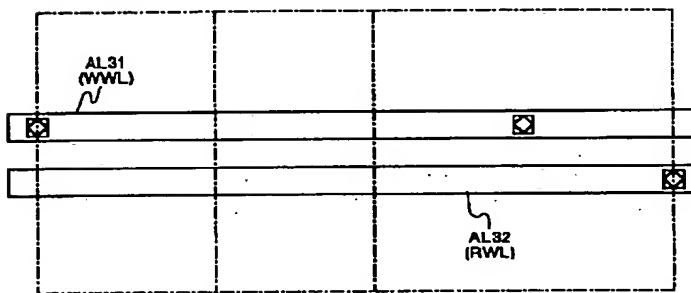
【図10】



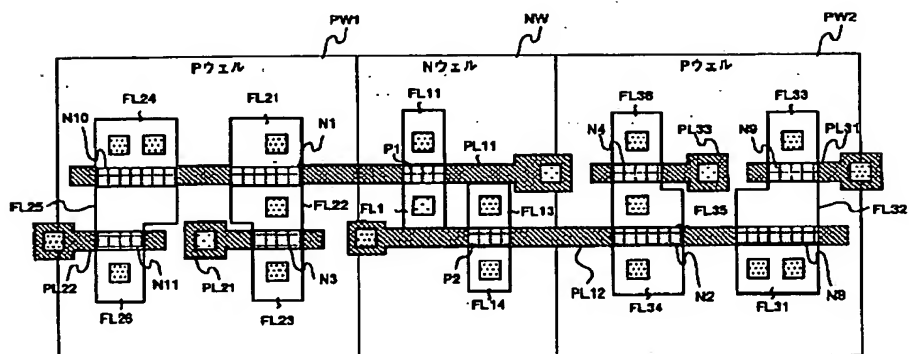
【図11】



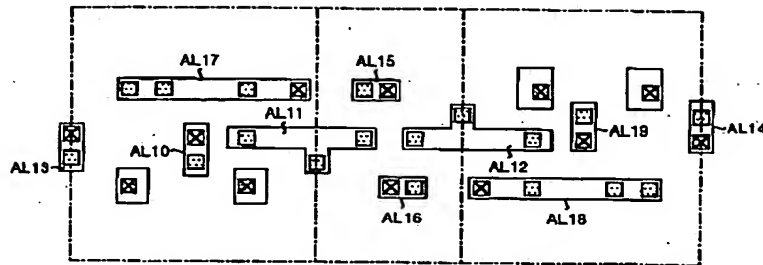
【図12】



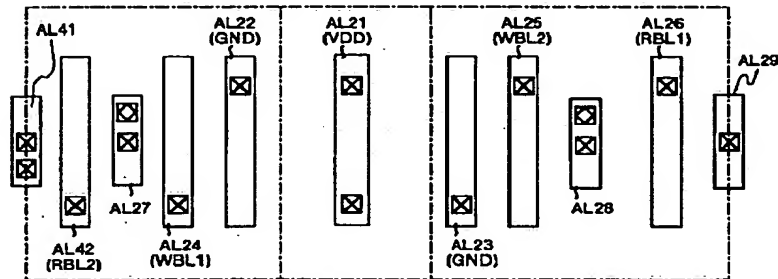
【図14】



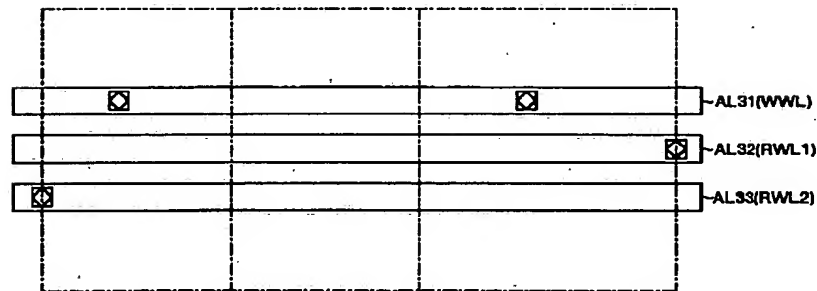
【図15】



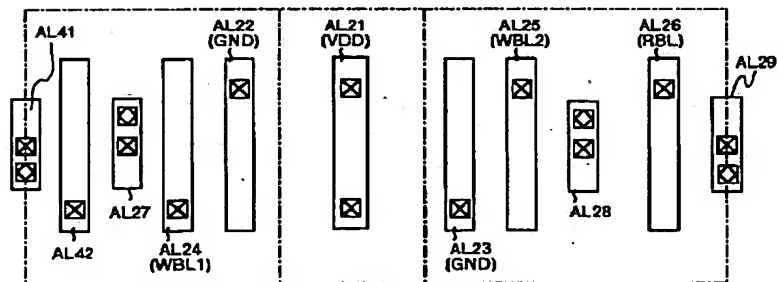
【図16】



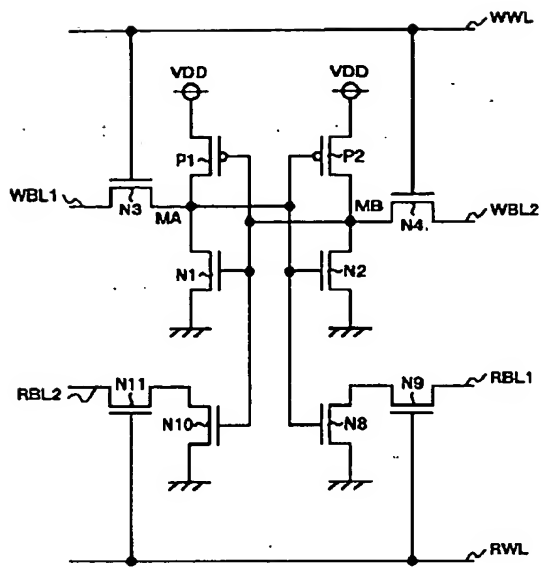
【図17】



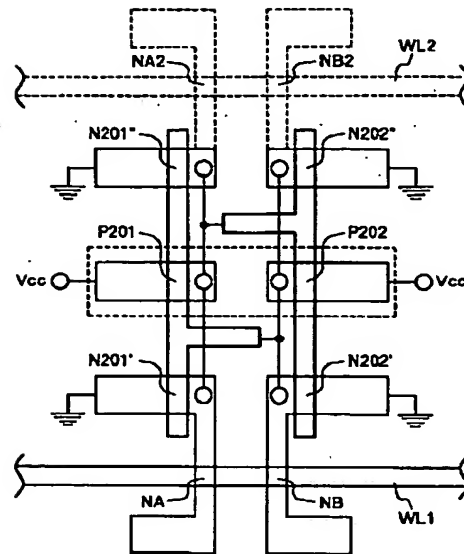
【図19】



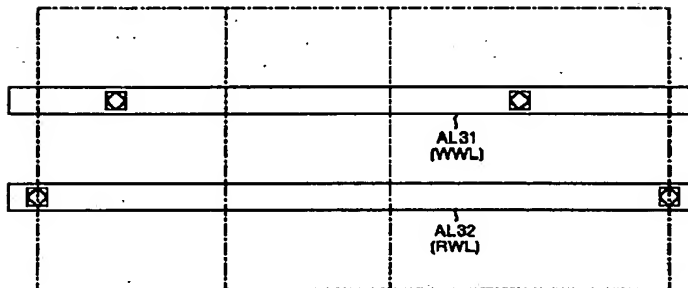
【圖 18】



【圖 23】



【圖20】



フロントページの続き

F ターム(参考) 5F033 HH04 HH08 JJ01 JJ04 JJ08
KK01 KK04 QQ37 UU03 UU04
VV05 VV06 VV16 XX03 XX27
5F048 AA00 AA01 AB01 AB04 AC03
BB02 BE03 BF02 BF03
5F083 BS02 BS14 BS50 GA02 GA03
GA09 LA02 LA12 LA16 LA17
MA06 MA19